



УДК 621.3.049.77.001.2

С. Э. Миронов, А. К. Фролкин
Санкт-Петербургский государственный электротехнический
университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

Компенсация отсутствия этапа коррекции топологии в алгоритме сжатия

Описаны недостатки алгоритма сжатия топологии фрагментов БИС в один проход (без коррекции результатов), а также способ компенсации отсутствия этапа коррекции топологии в алгоритме сжатия.

Технологически инвариантное проектирование топологии, алгоритмы сжатия топологии фрагментов БИС

Сжатие топологий фрагментов БИС. Наиболее сложным и критическим объектом систем технологически инвариантного проектирования топологии являются алгоритм и программа сжатия. На этапе сжатия производится подстановка описания конкретного состава фотошаблонов и детальных проектных норм и определяются точные геометрические размеры элементов и топологии в целом. При этом информация о технологии считывается как данные, что позволяет автоматически настраивать топологию фрагмента на конкретные проектные нормы. Более того, может изменяться и состав фотошаблонов, что позволяет из одного исходного описания генерировать топологию фрагмента, например в КМОП-технологии на объемном кремнии и изолирующей подложке.

Двумерное управляемое сжатие топологии. Алгоритм сжатия, используемый в разработанной в СПбГЭТУ системе TopDesign [см. лит.], включает следующие этапы: сжатие по оси абсцисс, сжатие по оси ординат и обработку ограничений на взаимное расположение элементов топологии.

Сжатый фрагмент представляет собой совокупность двух файлов – виртуального, указываемого name_vg, и реализации сжатия, указываемого name_xu. Последний содержит значения абсцисс и ординат виртуальных линий.

Само виртуальное определение фрагмента с именем frag хранится на диске в файле frag.vlf,

причем этот файл может включать параметры ширины каналов транзисторов.

В исходном виде виртуальные линии находятся друг от друга на бесконечном расстоянии. Сжатие производится вычислением расстояния от рассматриваемой виртуальной линии до уже сжатой части топологии. Используемая при этом модель текущей части сжатой топологии называется частоколом [см. лит.]. Частокол представляет собой точное геометрическое описание последнего по данной оси появления элементов топологии для каждого слоя. В процессе сжатия послойно раскрываются все элементы, лежащие на очередной виртуальной линии, определяются минимальные расстояния от всех элементов во всех слоях до элементов частоккола и вычисляются значения координат для всех лежащих на очередной виртуальной линии элементов. Максимальная из этих координат и определит положение рассматриваемой виртуальной линии. При сжатии по оси ординат дополнительно вычисляются диагональные расстояния.

В разных проектных нормах соотношения между параметрами элементов могут различаться довольно существенно, в результате чего сжатые ячейки сложно состыковывать друг с другом. Во избежание подобных ситуаций в алгоритме сжатия предусмотрена обработка ограничений на взаимное расположение элементов топологии.

На этапе обработки ограничений учитываются ограничения библиотеки как заказных специализированных, так и стандартных ячеек (вертикальный габарит, координаты кармана, шин питания, дискретность размещения выводов) для возможности использования фрагмента в САПР верхнего уровня.

Ограничения на взаимное расположение элементов топологии задаются с помощью операторов языка управления сжатием.

Недостатки алгоритма сжатия топологии в один проход (без коррекции результатов). Как видно из приведенного описания алгоритма двумерного управляемого сжатия топологии, используемого в системе TopDesign, в нем отсутствует такой важный этап, как коррекция топологии, полученной в результате смещения элементов топологии в направлении сжатия. Это может привести к тому, что целый ряд элементов топологии в результате сжатия смещается, и результирующая топология может существенно отличаться от "авторской задумки". В топологии элемента контакты к стоковым и к истоковым областям транзисторов в процессе сжатия перемещаются, что может сказаться на проводимости этих областей. Однако помимо смещения контактов такая организация алгоритма сжатия топологии приводит к принципиально неверной работе системы, выражающейся в возможном искажении топологии, подчас столь значительном, что это может принципиально повлиять не просто на количественные характеристики, а на работоспособность реализуемых схем.

Чрезмерное смещение шин может привести не просто к их удлинению, а к образованию на межсоединениях "петель", в ряде случаев совершенно излишних, не способствующих повышению плотности упаковки, но при этом увеличивающих сопротивления и емкости шин. Однако эти изменения параметров пассивных элементов топологии не столь значимы, как изменения параметров активных элементов схем – транзисторов. Одна из двух основных характеристик ячеек – время задержки – зависит в первую очередь от параметров транзисторов:

– размеров их стоковых и истоковых областей (которые определяют их собственные паразитные емкости);

– ширины каналов, определяющих, с одной стороны, сопротивление пути тока перезаряда нагрузочной емкости текущего каскада схемы, а с другой – полезную нагрузку предыдущего каскада.

Одним из этапов алгоритма сжатия (независимо от типа алгоритма) является обратное смещение элементов топологии, компенсирующее их подвижки при собственно сжатии, оказавшиеся излишними. Этот этап совершенно необходим, так как при обработке протяженных объектов (шин, транзисторов, карманов, областей легирования) одни части могут смещаться не так далеко, как другие. Если одна часть элемента сместилась, а на пути у другой возникают препятствия, то размер элемента в результате сжатия увеличится. Это можно проиллюстрировать с помощью примеров, приведенных на рис. 1. Здесь представлены топологический эскиз (рис. 1, *а*) и полученный в результате сжатия чертеж (рис. 1, *б*) топологии, состоящей из двух транзисторов, виртуальные ширины каналов которых составляют 3 и 6 шагов виртуальной сетки соответственно для правого и левого транзисторов.

На эскизе топологии, приведенном на рис. 1, *а*, верхняя часть правого транзистора с виртуальной шириной канала 3 шага виртуальной сетки приподнята над большим 6-шаговым левым транзистором. Результатом такого смещения является "растяжение" правого транзистора при сжатии до размеров левого (рис. 1, *б*).

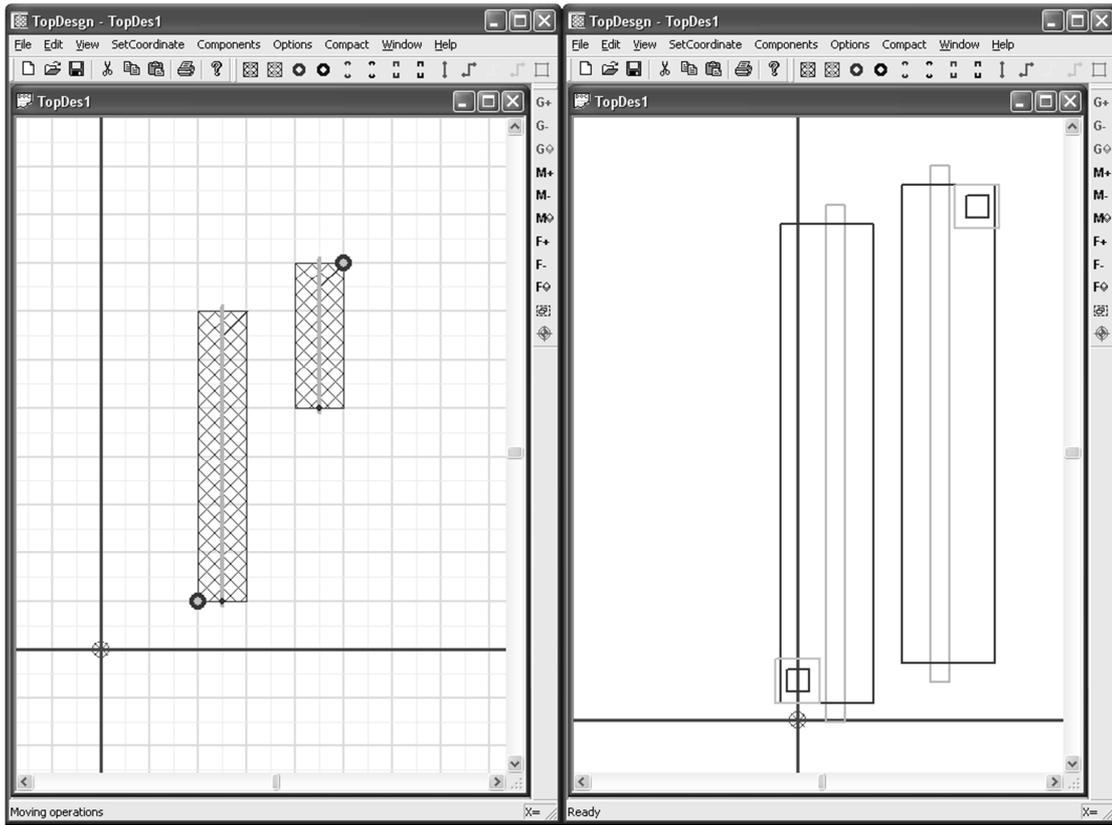
Механизм происходящего искажения иллюстрируется с помощью двух контактов к активным областям обоих транзисторов, добавленным в топологию для большей наглядности.

Из рис. 1, *б* видно:

– затвор, выходящий за пределы нижней части правого транзистора, останавливается, достигнув виртуальной линии, проходящей через точку привязки левого транзистора, на которой для наглядности расположен контакт;

– о виртуальную линию, проходящую через верхнюю часть затвора левого транзистора, "тормозится" топология, расположенная выше этой линии, а именно верхняя часть правого транзистора с контактом.

Особенно сильные искажения могут возникать в топологии стандартных библиотечных ячеек с простой внутренней разводкой (рис. 2, *а*), в которых свободное пространство может целиком заполняться транзисторами при "провисании" их нижнего края (рис. 2, *б*).



a

б

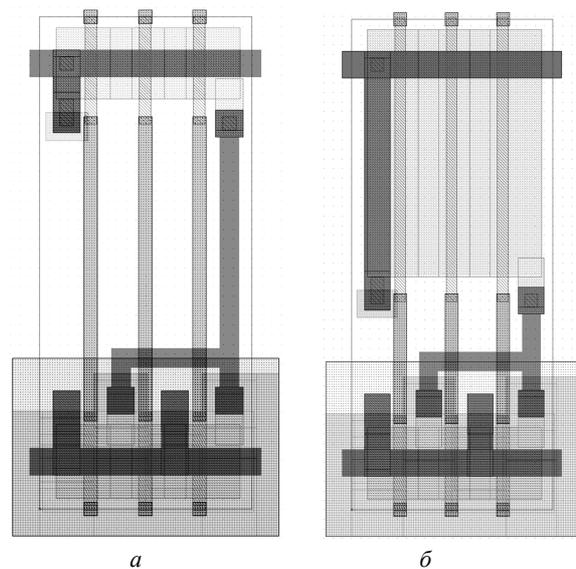
Рис. 1

Компенсация отсутствия этапа коррекции топологии в алгоритме сжатия. Итак, отсутствие этапа коррекции топологии в алгоритме двумерного управляемого сжатия топологии, используемого в системе TopDesign, может привести к искажению топологии и изменению характеристик схемы. Метод борьбы с такими искажениями может состоять в использовании средств языка управления сжатием для реализации механизма ограничения чрезмерных смещений элементов топологии.

Таким образом, для организации правильной работы систем сжатия, базирующихся подобно TopDesign на алгоритме сжатия в один проход (вдоль каждой из осей координат фрагмента топологии), с помощью средств языка управления сжатием необходимо отслеживать положение и размеры не только выводов ячеек – стыкуемых элементов топологии, расположенных на границах ячеек, но и активных элементов схем – транзисторов.

Алгоритм генерации топологии при использовании систем технологически инвариантного проектирования без этапа коррекции топологии должен предусматривать действия по вычислению корректирующих ограничений и вы-

полнение сжатия с их учетом. Иллюстрацией к сказанному могут служить рис. 3, *a* и *б*, на которых соответственно приведены топологический эскиз и топологический чертеж двух транзисторов, аналогичных приведенным на рис. 1, *a*, с той разницей, что с целью регулировки ширины каналов в процессе сжатия в топологию введены две виртуальные линии VL1 и VL2.



a

б

Рис. 2

Сжатие с ограничениями. В системе TopDesign нельзя задать ограничения непосредственно на взаимное расположение элементов топологии или их частей: ограничение задается для поименованных линий виртуальной сетки, на которых эти элементы расположены. В связи с этим в топологию ячеек необходимо ввести виртуальные линии по осям абсцисс и ординат, проходящие через необходимые элементы, т.е. имеющие одинаковые с ними координаты по горизонтали или вертикали.

На рис. 3, а горизонтальные виртуальные линии VL1 и VL2 проведены через верхнюю и нижнюю стороны символического обозначения правого транзистора. Из рис. 3, б видно, что для предотвращения "провисания" правого транзистора реальную ординату виртуальной линии VL2 точки его привязки нужно ограничить значением YR2, определяемым как разность реальной ординаты YR1 виртуальной линии VL1 и реальной ширины WR (являющейся функцией виртуальной ширины WV) канала правого транзистора, уменьшенной на значение Q "головки" контакта к активной области транзистора:

$$YR2 = YR1 - (WR - Q).$$

Следует отметить, что в примере на рис. 3 для нижнего закрылка правого транзистора ограничение не вводилось, чтобы не загромождать рисунок, хотя оно также может быть рассчитано как функция от ординаты YR1 виртуальной линии VL1 и технологических параметров.

Для исправления недостатков сжатия без этапа коррекции топологии были разработаны алгоритмы и программное средство Layout_Correction (результат работы которого и представлен на рис. 3, б), в автоматическом режиме выполняю-

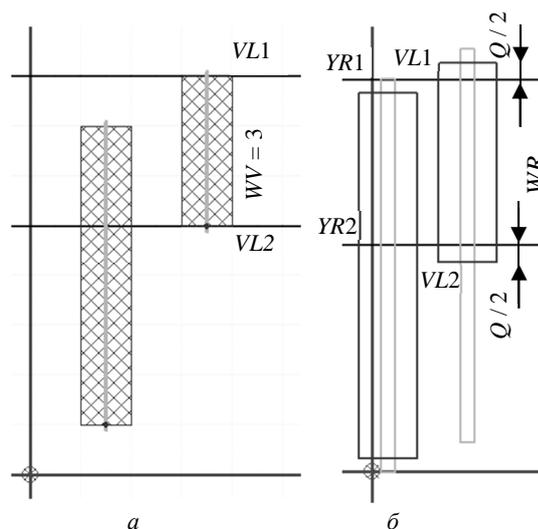


Рис. 3

щее над топологией с дополнительно введенными виртуальными линиями следующие действия:

1. Генерацию топологии без ограничений на "провисание" элементов.
2. Считывание из полученного в результате сжатия файла координат виртуальных линий реальных координат "провисающих" элементов.
3. Вычисление ограничений на положение "провисающих" элементов.
4. Подстановку ограничений в файл управления сжатием.
5. Повторную генерацию топологии с ограничениями на "провисание" элементов.

СПИСОК ЛИТЕРАТУРЫ

Технологически инвариантная система проектирования топологии стандартных фрагментов МОП БИС / И. С. Зуев, А. Б. Максимов, С. Э. Миронов, Н. М. Сафьянников // Изв. вузов. Электроника. 2003. № 3. С. 63–70.

S. E. Mironov, A. K. Frolkin

Saint-Petersburg state electrotechnical university «LETI»

COMPENSATION OF ABSENCE OF LAYOUT CORRECTION PHASE IN COMPACTION ALGORITHM

The article is devoted to the description of the shortcomings of VLSI cells layout compaction algorithm in one pass (without correction of results). Describes how to offset the absence of correction phase in algorithm of layout compaction.

Process-tolerant layout design, algorithm of VLSI cells layout compaction