

УДК 621.3.049.77.001.2

К. М. Зибарев, С. Э. Миронов, А. К. Фролкин
Санкт-Петербургский государственный электротехнический
университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

Плотнупакованное проектирование топологии ячеек КМОП БИС на основе графовых и комбинаторных методов

Описываются результаты исследований в области создания средств программной генерации плотноупакованной топологии ячеек КМОП БИС в технологически инвариантной концепции. Разработанные программные средства генерируют текстовое описание технологически инвариантных эскизов топологии ячеек на виртуальной координатной сетке. По желанию потребителя (разработчика крупных фрагментов интегральных схем) технологически инвариантное описание топологии ячеек может оперативно адаптироваться к требуемым конструкторско-технологическим требованиям предприятия-изготовителя с помощью алгоритмов одномерного сжатия топологии. Причем в процессе адаптации помимо проектных норм могут учитываться дополнительные ограничения на габариты и координаты выводов, что позволяет настраивать топологию ячеек не только на проектные нормы, но и на требования библиотеки ячеек. Высокая плотность упаковки ячеек обеспечивается графовыми и комбинаторными методами размещения транзисторов. Разработанные средства программной генерации топологии ячеек позволяют пользователю задавать требуемое расположение выводов и топологические слои, в которых они будут проводиться.

Топологии ячеек, БИС, оптимизация топологии, размещение транзисторов, трассировка связей, сжатие топологии

Автоматизация плотноупакованного проектирования топологии ячеек КМОП БИС. Основными требованиями, предъявляемыми к микроэлектронным проектам, являются высокое быстродействие и малая площадь на кристалле. Быстродействие зависит от схемотехнических решений, а плотность упаковки определяется успешностью компоновки топологии из транзисторов и межсоединений. Этот процесс поддается формализации и традиционно разбивается на две задачи: поиск оптимального расположения транзисторов и трассировку связей между ними.

В данной статье речь идет об упрощенном варианте проектирования, когда разрабатывается не детальный топологический чертеж ячейки в жестких проектных нормах, а лишь ее технологически инвариантный топологический эскиз, задающий только взаимное расположение элементов топологии. В дальнейшем топологический эскиз с помощью программных средств системы сжатия топологии *TopDesign* [1] настраивается на выбранные проектные нормы и преобразуется в топологический чертеж.

Основными элементами ячеек являются транзисторы. Межсоединения выполняют лишь вспо-

могательную коммутационную функцию, и сокращение занимаемой ими площади кристалла является одной из главных задач проектирования топологии. В связи с этим задача плотноупакованного проектирования топологии ячеек может быть разделена на две задачи. Первая состоит в том, чтобы экономить место на кристалле путем непосредственного соединения стоковых-истоковых областей транзисторов. Вторая задача связана уже непосредственно с трассировкой связей внутри ячейки.

Автоматизация размещения транзисторов. Объединение эквипотенциальных диффузионных областей транзисторов позволяет построить топологию в виде диффузионной линии, пересекаемой затворами транзисторов. Такая топологическая организация называется диффузионными линейками (ДЛ). Как правило, топология ячеек реализуется в виде парных (*p*- и *n*-типа) диффузионных полос, на основе которых строятся библиотеки стандартных фрагментов. Гораздо реже осуществляется проектирование топологии на основе большего числа диффузионных линий.

Проектирование на ДЛ легко поддается формализации на основе аппарата теории графов.

Разработанная для оптимизации размещения транзисторов программа ищет последовательность транзисторов n -типа для реализации на основе эйлеровых путей [2] диффузионной линейки с возможно меньшим числом разрывов. Потом программа строит парную последовательность транзисторов p -типа, в общем случае не являющуюся точной копией ДЛ n -типа.

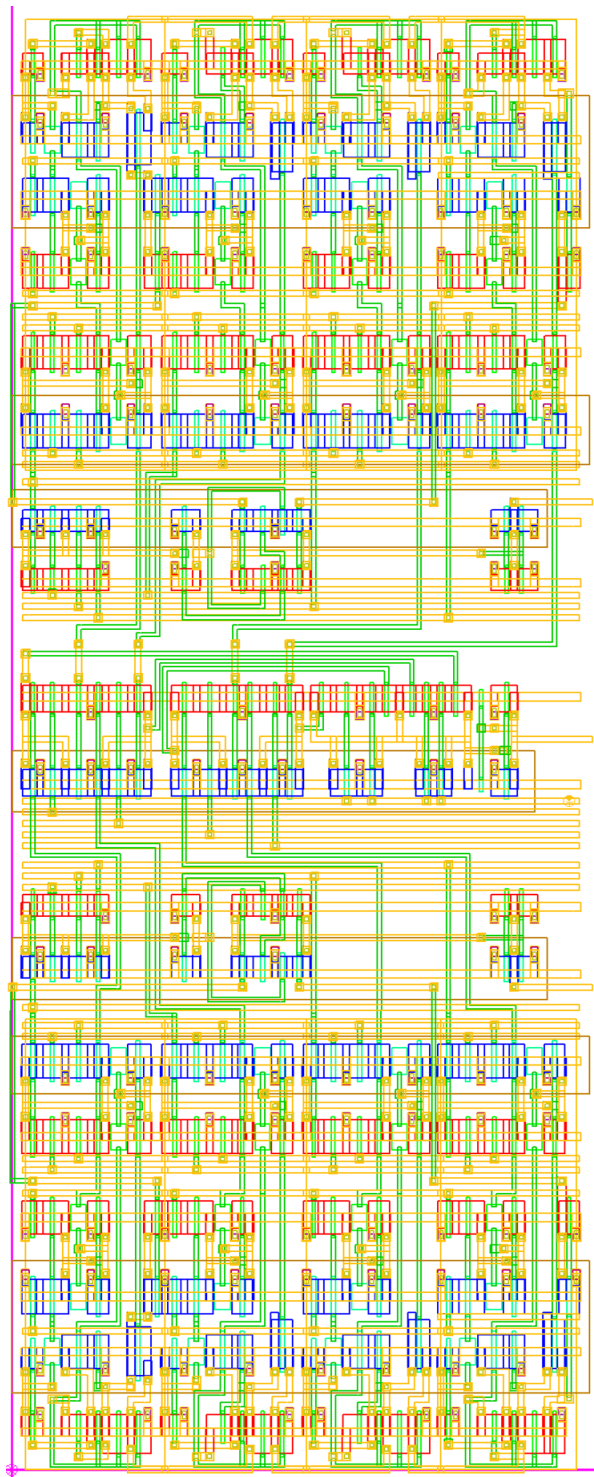


Рис. 1

Помимо графового подхода для построения топологии возможно использование и комбинаторных методов, которые, в частности, оказываются эффективными при построении топологий ячеек на основе многорядных ДЛ. Причем эффект проявляется при переходе от простых ячеек к сложным многотранзисторным модулям, подобным приведенному на рис. 1. Для них переход от линейной одномерной топологической модели на основе парных ДЛ к плоскостной двумерной на основе многорядных ДЛ позволяет получить выигрыш по площади на кристалле. Это происходит

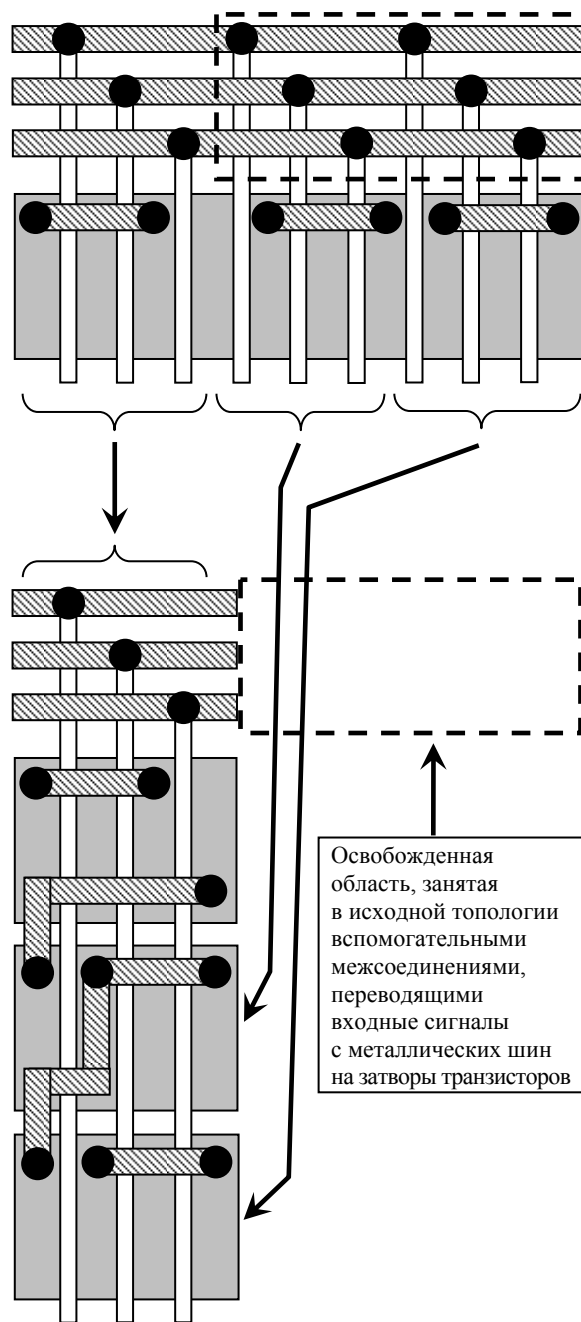


Рис. 2

в связи с образованием своеобразных локальных топологических кластеров, в пределах которых снимаются ограничения как на взаимное размещение транзисторов, так и на характер межсоединений.

Кроме того, образование своеобразных «ожерелий» из транзисторов, «нанизанных» на поликремниевую шину, позволяет сократить площадь, занимаемую на кристалле вспомогательными межсоединениями. Они предназначены для организации перехода от металлических шин с низким сопротивлением к затворным шинам. Это утверждение иллюстрирует рис. 2, на котором показано, как в результате перехода от линейной одномерной топологической модели к плоскостной двумерной из топологии исключается часть межсоединений, обведенная штриховой линией.

На рис. 3 и 4 представлены примеры топологии комбинационного двоичного одноразрядного сумматора, построенные, соответственно, на основе парных и многорядных ДЛ.

Комбинаторные алгоритмы гарантированно находят лучший результат. В процессе исследования был предложен алгоритм, базирующийся на существующих комбинаторных методах, но обеспечивающий более высокую производительность.

Количество вариантов размещения транзисторов может быть достаточно велико, особенно при построении топологий на основе многоряд-

ных ДЛ. В связи с этим были предложены и программно реализованы средства «фильтрации» результатов размещения транзисторов, позволяющие отбирать из множества решений те, которые удовлетворяют одному или нескольким критериям, таким как определенное расположение контактов к карманам и подложке, минимальная длина проводников, определенная группировка транзисторов разного типа проводимости.

Проведенные эксперименты показали, что программная реализация предложенного алгоритма способна работать со схемами среднего уровня сложности, причем время работы может заметно варьироваться в зависимости от конкретного набора транзисторов, числа диффузионных линий и числа транзисторов в линии.

Автоматизация трассировки связей внутри ячейки. При исследовании и разработке алгоритмов и средств трассировки за основу был взят алгоритм Соукупа [3], простой в понимании и реализации, осуществляющий быструю трассировку сразу всех соединений. Этот алгоритм сводится к ортогональному распространению волн и восстановлению пути по точкам, как это реализовано в алгоритме Ли.

Алгоритм Соукупа имеет преимущество перед алгоритмом Ли в следующем:

– позволяет осуществлять трассировку из нескольких точек, что ускоряет процесс;

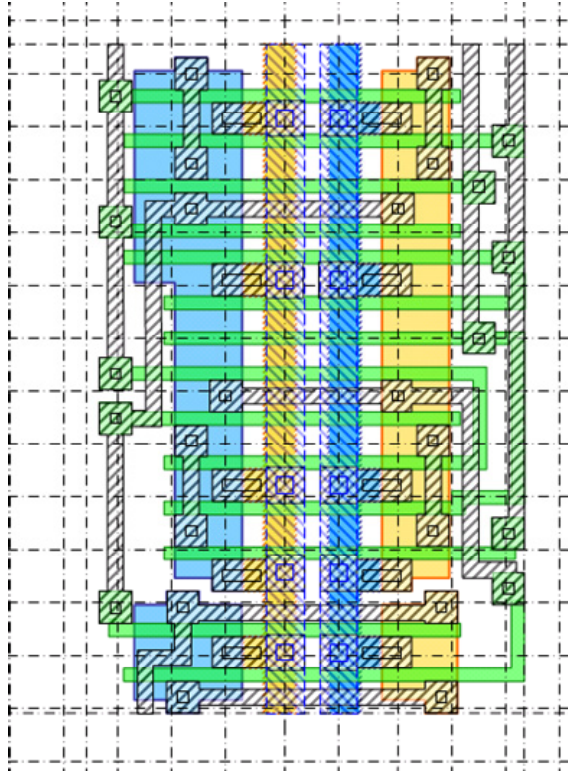


Рис. 3

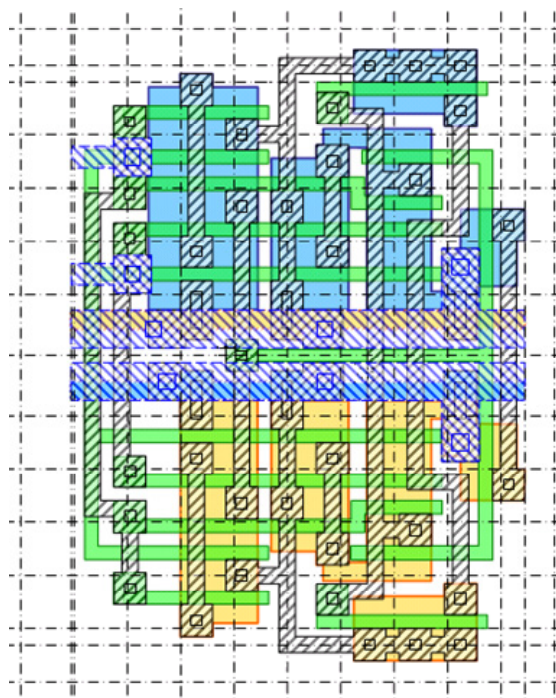


Рис. 4

– волны распространяются по приоритетам, что позволяет располагать трассы, избегая тупиковых ситуаций.

Алгоритм был модифицирован – к нему добавились:

- возможность перехода на разные слои;
- оригинальный алгоритм исключений из приоритетов.

Исключения из приоритетов необходимы, поскольку далеко не для каждой схемы можно осуществить трассировку, просто периодически меняя приоритеты, тем более в условиях ограниченного количества слоев. Возникают так называемые тупиковые ситуации в трассировке волновыми методами.

Далее приведено описание алгоритма трассировки:

1. Инициализация размещенных контактов транзисторов и входных/выходных контактов.

2. Соединение фиксированных линий: все связи «земли» и питания с шинами, связи, соединяющие контакты, расположенные на одной координате X .

3. Запуск цикла соединения линий.

3.1. Назначение приоритета для каждого узла, для чего узлы сортируются по минимальным расстояниям между несоединенными контактами.

3.2. Распространение волны со всех узлов.

3.3. Проверка поля на наличие соединений: если найдены соединения, назначаются приоритеты.

3.4. Если за последние 4 шага самый большой приоритет сохраняется у одного узла, то создаются узлы – исключения.

3.5. Если еще не все узлы соединены, то переход к 3.1, иначе переход к 4.

4. Выполнение спрямления, для чего всем узлам присваивается одинаковый приоритет и выполняется несколько циклов распространения волны.

5. Восстановление эскиза топологии по имеющимся точкам на поле.

После соединения контактов (трассировки) трассы имеют «причудливую» форму, поскольку в топологии они огибают или огибали другие трассы. Петли и изгибы могут ничего не огибать в текущей топологии, но ранее, в процессе построения, на трассировочном поле «внутри» каждой петли находилась область, занятая другим узлом. Для построения результирующей топологии выполняется очистка поля, многие ненужные точки и

целые области устраняются за ненадобностью. Как раз после очистки становятся видны петли.

В данной статье представлен метод борьбы, который позволяет «спрямлять» линии. Метод заключается в том, чтобы дать узлам распространяться с равными приоритетами. Тогда близлежащие к линиям точки-бланки будут заполняться соответствующими точками. Например, пустая точка будет заполняться близлежащей точкой узла. Если раньше в случае «борьбы» за пустую точку «выигрывала» самая приоритетная, то теперь просто любая. Также раньше (на предыдущем этапе) высокоприоритетные области могли «отбирать» точки более низкого приоритета, теперь «изъятие» точек невозможно, а значит, не будут возникать новые петли.

Очистка поля – это действие, призванное удалить все ненужные точки. Причем нужными точками будут являться точки не разведенных до конца узлов. Если узел уже разведен (соединены между собой все контакты узла), то связующие точки, образующие связи между контактами узла (не сильно-связный граф), будут считаться нужными.

Процесс устранения петель в качестве входных параметров использует: а) трассировочное поле; б) список узлов.

Процесс включает следующие шаги:

- 1) очистка поля после предыдущего этапа;
- 2) установка всех точек всех узлов в приоритет «один»;
- 3) выполнение 4-й итерации распространения волны;
- 4) очистка поля;
- 5) выполнение 2-й итерации распространения волны;
- 6) очистка поля.

В тот момент, когда выполняются 4 итерации распространения, возникает утолщение существующих линий. Если существует линия, образующая большую петлю или изгиб, и поблизости нет других узлов в этом же слое, то она либо уменьшится, либо исчезнет. Затем, когда выполняется процесс очистки, прокладывается наикратчайший путь между двумя точками, и тонкая соединяющая линия пройдет как раз по краю петли/изгиба, уменьшая ее.

На рис. 5 и 6 представлены примеры, соответственно, топологии со сложными связями и исправленной топологии после устранения петель и изгибов.

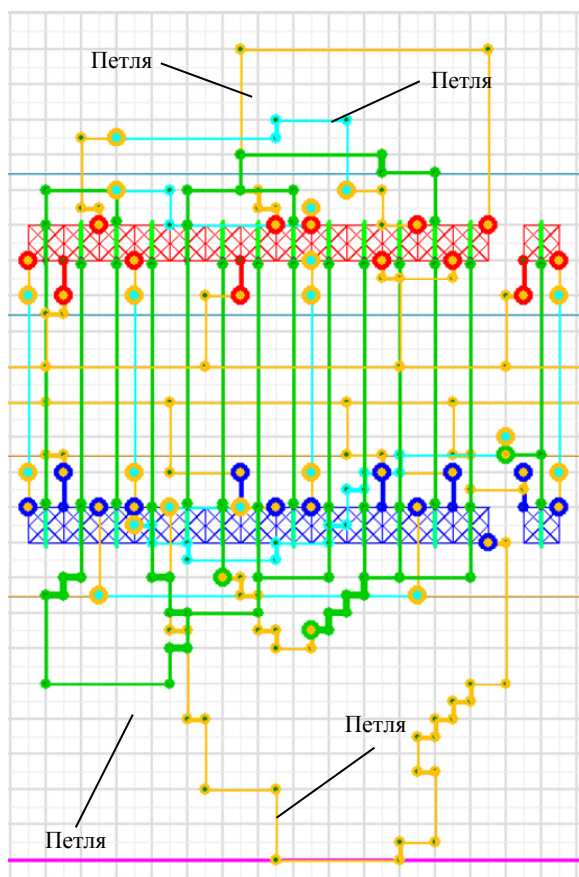


Рис. 5

Генерация описания эскиза топологии на базе многослойного трассировочного поля.

Многослойное трассировочное поле представляет собой трехмерную матрицу вида $[X][Y][L]$, где X – координата по оси абсцисс; Y – координата по оси ординат; L – номер слоя. Каждая клетка поля – это элемент структуры *NodePoint*, содержащий следующую информацию:

- 1) имя;
- 2) номер узла;
- 3) приоритет;
- 4) номер точки узла.

Информация о топологии также хранится в списке узлов. Каждый элемент списка узлов содержит:

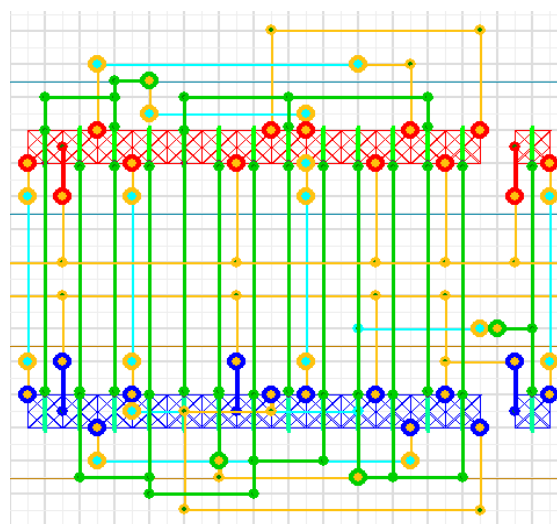


Рис. 6

- 1) имя;
- 2) список контактов:
 - а) координата (включая слой);
 - б) номер контакта;
 - в) список номеров подключенных (соединенных) контактов;
 - г) вид контакта.

Информация о топологии была бы не полной без списка транзисторов. Каждый элемент списка содержит следующую информацию:

- 1) имя;
- 2) имена контактов;
- 3) координата.

Для генерации топологии необходимо пройти по списку транзисторов и записать их в файл эскиза. Затем перебираются узлы, формируются группы узлов, соединенных между собой. Для каждой группы выбирается один стартовый контакт и пускается волна к остальным контактам. Затем от приемника до источника по номерам точек восстанавливается траектория. Траектория записывается в файл как последовательность отрезков определенного типа. В процессе построения каждого отрезка определяются переходные контакты между отрезками разного типа и контакты к транзисторам.

СПИСОК ЛИТЕРАТУРЫ

1. Технологически инвариантная система проектирования топологии стандартных фрагментов МОП БИС / И. С. Зуев, А. Б. Максимов, С. Э. Миронов, Н. М. Сафьянников // Изв. вузов. Электроника. 2003. № 3. С. 63–70.

2. Рабаи Ж. М., Чандракасан А., Николич Б. Цифровые интегральные схемы. Методология проектирования. СПб.: Вильямс, 2007. 911 с.

3. Soukup J. Fast maze router // Proc. of the 15th Design Automation Conf. DAC '78. Las Vegas, Nevada, USA: IEEE Press Piscataway, 1978. P. 100–102.

K. M. Zibarev, S. E. Mironov, A. K. Frolkin
Saint Petersburg Electrotechnical University

CLOSE-PACKED DESIGN OF CMOS LSI CELLS LAYOUT BASED ON GRAPH AND COMBINATORIAL METHODS

Is devoted to the research results description in the field of creating of software generation tools for close-packed layout of CMOS LSI cells in a process tolerant concept. The developed software tools generate a textual description of process tolerant sketches of the cell layout on a virtual coordinate grid. At the request of the consumer (the developer of integrated circuits large fragments), the process tolerant cell layout description can be quickly adapted to the required design rules of the manufacturer using one-dimensional layout compaction algorithms. Moreover, in the process of adaptation, in addition to design rules, additional restrictions on the dimensions and pins coordinates can take into account, which allows you to configure the cell layout not only for design rules, but also for the cell library requirements. High packing density of cells provided by graph and combinatorial transistors placement methods. The developed software for cell layout generation allows the user to set the required for pins coordinates and layout layers in which they will held.

Cells layout, LSI, layout optimization, transistor placement, link tracing, layout compaction

УДК 004.021

Д. В. Легостаев, Л. А. Шумилов
Санкт-Петербургский государственный электротехнический
университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

Многокритериальная методика Саати для выбора видеокарты

Методика Саати – математический инструмент системного подхода к сложным проблемам принятия решений. Она приводит лицо, принимающее решение, не к «правильному» решению, а к варианту, наилучшим образом согласующемуся с его пониманием сути проблемы и требованиями к ее решению. Поэтому данная методика обладает высокой универсальностью и может применяться для решения самых разнообразных задач. Однако применение данной методики требует большого количества исходных данных. Если исходные данные имеют погрешность, «колебания» некоторых параметров могут привести к смене лидера. Для оценки зависимости результатов от погрешностей выполняется оценка устойчивости. В отечественной и зарубежной литературе отсутствуют примеры использования методики Саати для выбора электронных компонент. В данной статье демонстрируются особенности такого выбора для электронного изделия – видеокарты. Также демонстрируется оценка устойчивости и сравнение полученных результатов с ожидаемыми.

Метод анализа иерархий (МАИ), матрица парных сравнений (МПС), теория принятия решений, видеокарта, вычислительная техника, электронные компоненты

Постановка задачи. Формирование цели. Видеокарта (также видеоплата, видеоадаптер, видеоускоритель, GPU) представляет собой важный элемент компьютерной системы. В ее состав могут входить собственные процессор, память и система охлаждения. Информация, которая должна быть обработана видеокартой, отправляется с центрального процессора компьютера. Видеокарта обрабатывает ее, а затем выводит цельную картинку на монитор. От параметров видеокарты зависит то, как хорошо и быстро будет выводиться изображение.

Определяющим фактором при выборе видеокарты в первую очередь является цена, так как пользователь имеет какой-либо ограниченный бюджет на покупку, а цены на видеокарты могут изменяться от 500 р. на б/у рынке за слабые устаревшие модели до 150 тыс. р. и более за профессиональные решения. Далее идет графический чип, его частота, объем видеопамати, ее тип, частота, разрядность шины, система охлаждения, тепловыделение (TDP), количество фаз питания.