

## Алгоритм плотноупакованного размещения транзисторов, учитывающий особенности топологической реализации ячеек БИС

П. М. Ширяев✉, С. Э. Миронов

Санкт-Петербургский государственный электротехнический университет  
«ЛЭТИ» им. В. И. Ульянова (Ленина), Санкт-Петербург, Россия

✉ pshir2000z@gmail.com

**Аннотация.** Предложен комбинаторный алгоритм размещения компонентов ячейки для автоматизации процесса проектирования топологии интегральных схем. При создании топологии ячейки алгоритм позволяет использовать заранее спроектированные фрагменты топологии, что упрощает и ускоряет процесс размещения компонентов. Для уменьшения площади ячеек использовались различные приемы, связанные с характеристиками реализуемых объектов (ячеек БИС). Уменьшение площади топологии, занимаемой транзисторами и коммутирующими компонентами, достигается за счет проксимального соединения областей сток-исток транзисторов и непосредственного соединения затворов транзисторов. Уменьшение площади свободных зон обеспечивается зеркальным чередованием пар линий транзисторов разного типа проводимости, что уменьшает количество разделяющих их зон, в которых должны располагаться контакты с подложкой и карманом для борьбы с паразитными токами. Для ускорения сравнительного анализа промежуточных результатов размещения компонентов предусмотрена косвенная оценка качества вариантов трассировки.

**Ключевые слова:** алгоритм размещения; размещение и трассировка; плотноупакованное проектирование топологии интегральных схем; технологическая инвариантность

**Для цитирования:** Ширяев П. М., Миронов С. Э. Алгоритм плотноупакованного размещения транзисторов, учитывающий особенности топологической реализации ячеек БИС // Изв. СПбГЭТУ «ЛЭТИ». 2024. Т. 17, № 9. С. 46–52. doi: 10.32603/2071-8985-2024-17-9-46-52.

**Конфликт интересов.** Авторы заявляют об отсутствии конфликта интересов.

Original article

## Algorithm for Close-Packed Placement of Transistors, Taking Into Account the Features of the Topological Implementation of VLSI Cells

P. M. Shiryaev✉, S. E. Mironov

Saint Petersburg Electrotechnical University, Saint Petersburg, Russia

✉ pshir2000z@gmail.com

**Abstract.** A combinatorial algorithm for placing cell components proposed for automate the process of designing the topology of integrated circuits. When creating a cell topology, the algorithm allows you to use pre-designed topology fragments, which simplifies and speeds up the process of placing components. To reduce the area of cells, various techniques were use related to the characteristics of the objects being implemented (LSI cells). Reducing the topology area occupied by transistors and switching components achieved by proximate connecting the drain-source regions of the transistors and directly connecting the gates of the transistors. Reducing the area of free zones ensured by mirror alternation of pairs of lines of transistors of different conductivity types, which reduces the number of zones separating them, in which contacts to the substrate and pocket must be located to combat parasitic currents. To speed up the comparative analysis of intermediate results of component placement, an indirect assessment of the quality of routing options provided.

**Keywords:** placement algorithm; placement and routing; density integrated circuit layout design; technological invariance

**For citation:** Shiryayev P. M., Mironov S. E. Algorithm for close-packed placement of transistors, taking into account the features of the topological implementation of VLSI cells // LETI Transactions on Electrical Engineering & Computer Science. 2024. Vol. 17, no. 9. P. 46–52. doi: 10.32603/2071-8985-2024-17-9-46-52.

**Conflict of interest.** The authors declare no conflicts of interest.

**Введение.** Стремительное развитие микроэлектроники и, как следствие, быстрое увеличение сложности проектов микроэлектронных устройств определило необходимость автоматизации множества задач в процессе проектирования.

Особенно остро стоит проблема плотноупакованного размещения элементов на площади кристалла, так как стоимость кристаллов зависит от площади полиномиально. Кроме того, с ростом размеров кристалла увеличивается протяженность связей, а следовательно, растут задержки, что снижает качество получаемого изделия.

Помимо этого, для обеспечения возможности производства устройства на различных фабриках, имеющих индивидуальные требования к проекту, требуется использование при разработке принципов технологической инвариантности – возможности оперативной настройки проекта на требуемые проектные нормы.

С учетом роста сложности проектов размер кристалла все больше будет определяться качеством средств автоматизации проектирования топологических чертежей. Процесс их создания включает в себя разработку абстрактной топологической модели ячейки [1] и ее настройку на требуемые проектные нормы. Затем из таких ячеек формируются крупные функционально завершенные фрагменты интегральных схем [2]. А из них в свою очередь топология БИС (большая интегральная схема).

В статье рассматриваются вопросы автоматизации этапа размещения транзисторов для создания абстрагированной от проектных норм топологической модели ячейки макроблока СБИС (сверхбольшая интегральная схема) с последующей ее настройкой на требуемые проектные нормы.

**Описание процесса проектирования СБИС.** Полный цикл проектирования СБИС состоит из множества этапов и включает в себя архитектурный дизайн, поведенческое описание, логический и физический дизайн. В свою очередь, каждый из этих этапов включает некоторое множество шагов.

В данной статье рассматривается подход к автоматизации размещения (рис. 1) на этапе физического проектирования устройства.

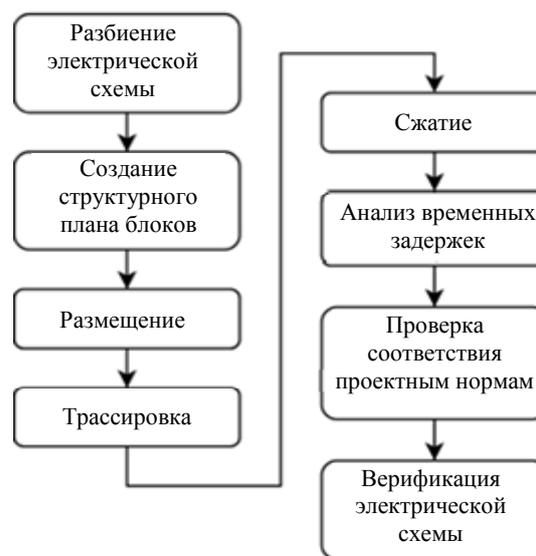


Рис. 1. Процесс физического проектирования устройства  
Fig. 1. The process of physical design of the device

Этап размещения – один из ключевых, и во многом именно от него зависит качество топологии устройства. Так как в случае получения далекого от оптимального расположения транзисторов, на следующем этапе – этапе трассировки – общая площадь схемы может значительно увеличиться за счет проводников или же вообще невозможно будет завершить трассировку. Такие просчеты при проектировании обходятся дорого, так как требуется заново выполнять все или почти все шаги этапа физического проектирования.

На рис. 2 представлен поэтапный процесс перехода [3], [4] от исходных базовых компонентов (транзисторов) электрической схемы инвертора (рис. 2, а) до готовой топологии ячейки (рис. 2, з). Процесс генерации топологии ячейки (инвертора) включает в себя размещение (б), трассировку (в) и сжатие с разрастанием активных областей и увеличением количества контактов (з), позволяя получить наиболее качественный результат. VSS, VDD – шины земли и питания соответственно.

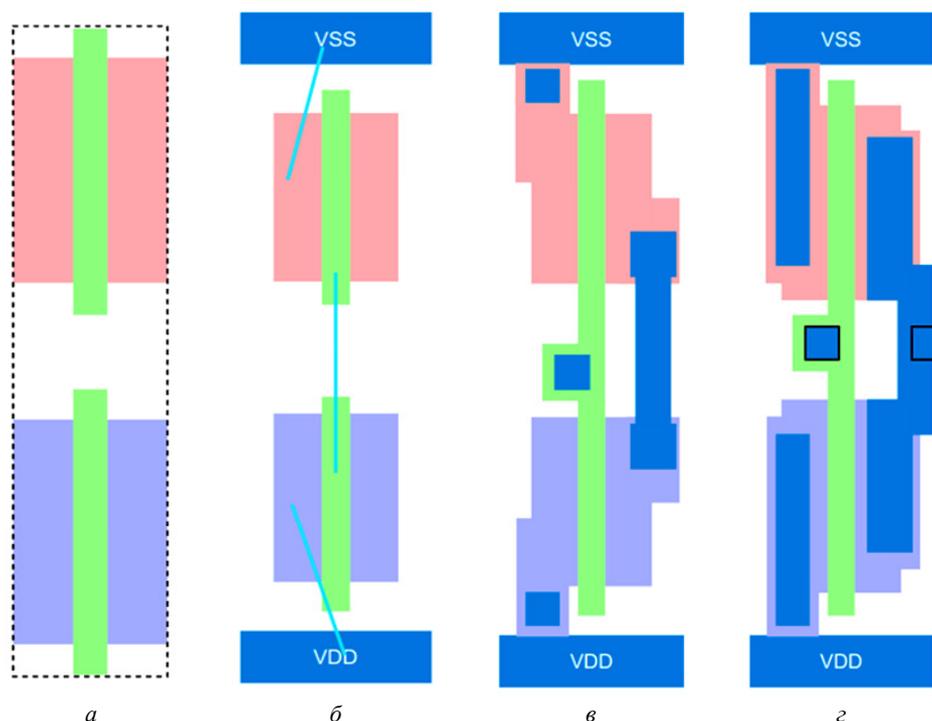


Рис 2. Процесс генерации топологии ячейки «Инвертор».  
а – исходные элементы; б – размещение; в – трассировка; г – сжатие  
Fig 2. The process of generating the topology of the «Inverter» cell.  
а – initial elements; б – placement; в – routing; г – compaction

### Приемы повышения качества топологии.

Основной критерий качества топологии заключается в плотности ее упаковки [5], [6], которая может быть повышена за счет уменьшения вклада в площадь схемы на кристалле коммутационных компонентов и свободных зон.

Уменьшение числа коммутационных «посредников» достигается соединением напрямую контактных областей транзисторов, к которым относятся диффузионные зоны их стоков и истоков и закрывки затворов (выходы затворов за пределы диффузионных зон транзисторов).

Наиболее распространенным вариантом совмещения общих точек транзисторов служит размещение транзисторов в две линии  $p$ - и  $n$ - типов [7] с как можно меньшим числом разрывов между их диффузионными областями [8]. Такой способ организации топологии ячеек получил название парных диффузионных линеек.

Уменьшения площади коммутационных зон можно также добиться размещением рядом друг с другом тех транзисторов, каналы которых управляются одними и теми же сигналами. В отличие от предыдущего приема у транзисторов напрямую соединяются затворы. В этом случае сокращение аппаратных затрат достигается благодаря соединению затворов такой пары транзисторов

напрямую без использования для передачи сигнала металлических шин и контактов для переходов между слоями поликремния и металла.

Уменьшение суммарной площади свободных зон обеспечивается выбором топологической модели – принципов топологической организации ячеек. Для борьбы с паразитными токами на пути их протекания между стоками/истоками транзисторов, постоянно находящимися под одним потенциалом («земля» и «питание»), размещают контакты к карманам и подложке, затягивающие на себя паразитные токи. За достигаемое таким образом повышение надежности работы ячеек приходится платить увеличением их габаритов в связи с необходимостью раздвижки областей транзисторов  $p$ - и  $n$ - типов для расстановки между ними контактов к подложке и карману. В этом случае можно добиться сокращения аппаратных затрат [9], [10], располагая попарно полосы транзисторов  $p$ - и  $n$ - типов. Это позволит вдвое сократить число пограничных зон между  $p$ - и  $n$ - подсхемами ячеек и получить более компактные топологии, что иллюстрирует рис. 3, на котором пограничные зоны выделены пунктиром.

Учет данных особенностей на этапе размещения ускорит процесс построения оптимальной топологии за счет сокращения количества возможных вариантов построения ячейки.

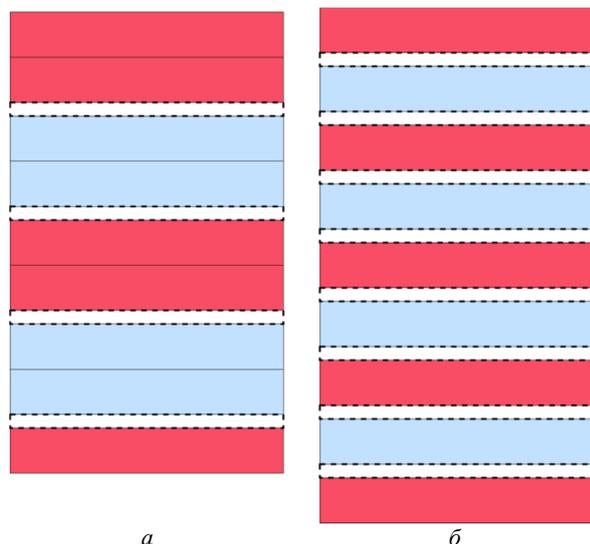


Рис. 3. Сравнение количества пограничных зон:  
 а – с использованием чередования;  
 б – без использования чередования  
 Fig. 3. Comparison of the number of border zones:  
 а – using alternation; б – without using alternation

Следом за этапом размещения выполняется этап трассировки, качество которой может существенно зависеть от варианта размещения. Теоретически трассировка должна быть выполнена для каждого из возможных вариантов размещения. Но в этом случае время работы программы будет очень велико. Однако для его сокращения можно использовать косвенную оценку качества размещения с точки зрения дальнейшего этапа трассировки.

Для этого можно [11] вычислять общую суммарную потенциальную длину недостающих проводников, где каждый из них строится без учета остальных. Длина каждого недостающего проводника определяется в условных единицах посредством подсчета количества клеток сетки размещения, которые ему необходимо преодолеть. Также косвенным признаком качества размещения может быть длина потенциально самого длинного недостающего проводника. Такой подход требует значительно меньших вычислительных ресурсов и позволяет выполнить оценку для каждого из полученных возможных вариантов.

Таким образом, оптимизация процесса проектирования с применением данных подходов (согласование стоков-источков, объединение затворов, чередование пар диффузионных линеек, косвенная оценка для трассировки) может привести к существенному сокращению аппаратных затрат. Помимо этого, адаптация алгоритмов под конкретную предметную область позволяет сократить число рассматриваемых вариантов размещения, что может положительно сказаться на времени работы программы.

**Алгоритм размещения транзисторов.** В ходе исследования процесса построения компактной топологии с целью его ускорения предложен комбинаторный алгоритм размещения транзисторов с последующей трассировкой их соединений на ортогональной координатной сетке, основанный на механизме кандидатов и вакансий. Вакансией называется свободное место на сетке рядом с уже размещенным транзистором, а кандидатом – транзистор, который соответствует условиям вакансии. Вакансии для транзисторов могут быть двух типов: по общему затвору и по общей диффузионной области.

Для вакансий по общему затвору транзистор-кандидат может быть размещен на одной затворной шине с транзистором, уже размещенным в топологии. При этом новый транзистор может быть зеркально повернут вокруг затвора для обеспечения непосредственного контакта стоковых-источковых областей с соседними транзисторами. Такая симметрия относительно затворной шины позволяет, поворачивая транзистор по мере необходимости, рассматривать оба варианта в поисках оптимального расположения транзисторов.

Для вакансий по общей диффузионной области существует только одно положение транзистора-кандидата, которое удовлетворяет вакансии. В процессе работы алгоритма может возникнуть ситуация, когда количество вакансий превышает одну. Тогда рассмотрение только одной вакансии может привести к потере оптимального варианта размещения. Для решения этой проблемы можно искать варианты размещения транзисторов для всех обнаруженных вакансий, но это потребует больше вычислительных ресурсов.

Также возможен случай, когда вакансии отсутствуют, и для такой ситуации могут быть применены различные стратегии. Одна из них заключается в размещении случайного транзистора из списка еще не размещенных в соответствующем его типу месте на сетке размещения. Но такой подход имеет недостаток – возможность потери оптимального размещения. К достоинствам этой стратегии можно отнести простоту и минимальное время решения задачи по сравнению с другими стратегиями.

Другая стратегия предполагает рассмотрение всех возможных вариантов размещения транзисторов для еще не размещенных. Это позволит гарантированно найти оптимальное решение, но потребует значительных вычислительных ресурсов. Такой подход целесообразно использовать для небольших ячеек.

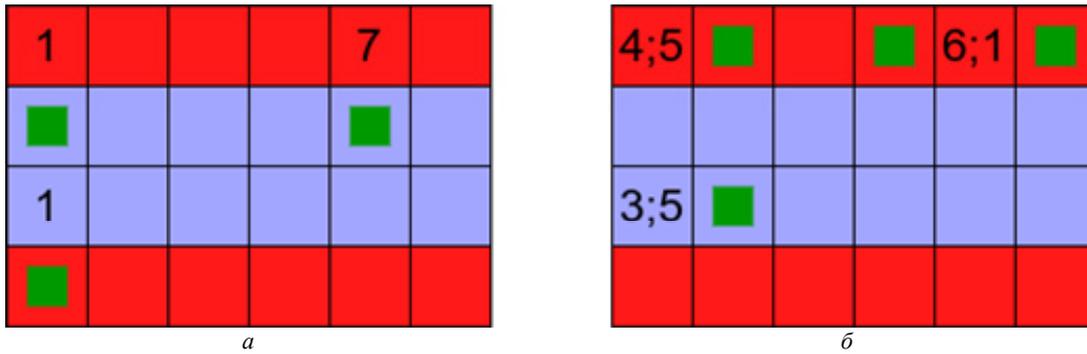


Рис. 4. Пример доступных вакансий: *a* – по общему затвору; *b* – по общей диффузионной области  
 Fig. 4. An example of available vacancies: *a* – according to the common gate; *b* – according to the common diffusion

На рис. 4 представлена сетка с иллюстрацией возможных вакансий на двух парах диффузионных линеек, расположенных зеркально. Маленькими квадратами обозначены имеющиеся вакансии. Числа в какой-либо клетке свидетельствуют о наличии в ней транзистора. Каждая строка сетки представляет собой диффузионную линейку с проводимостью *p*- или *n*-типа.

При этом пара чисел соответствует идентификаторам потенциала (номерам узлов) электрической схемы для стока и истока транзистора, а единственное число – идентификатору потенциала (номеру узла) электрической схемы на затворе транзистора. В общем случае рассмотрение обоих типов вакансий может выполняться на единой сетке, в таком случае для каждой клетки, содержащей транзистор, будет использоваться три числа для описания. На рис. 4 для упрощения понимания концепции выполнено разбиение примера на две части.

Работа алгоритма начинается с поиска позиции для начального размещения одного из транзисторов схемы. Такая позиция может быть найдена несколькими способами. Простейшим подходом служит случайное размещение одного транзистора на подходящую по типу диффузионную линейку. Более целесообразен подход, основанный на размещении нескольких транзисторов рядом с границей ячейки, где предполагается наличие контактов ввода и вывода. Помимо прочего, при необходимости начальное размещение может быть выполнено самим пользователем с учетом особенностей работы ячейки или устройства, в состав которого она входит. Такой целью может выступать удовлетворение требования максимального времени распространения сигналов между ячейками. Возможность ручного размещения любого количества транзисторов для построе-

ния начального размещения – это одно из преимуществ данного алгоритма. Это позволяет учесть требования к топологии и, сузив спектр возможных решений, сэкономить время ее генерации, исключив заведомо неоптимальные варианты.

После этапа начального размещения начинается основной этап работы алгоритма, на котором итеративно размещаются оставшиеся транзисторы подбором транзисторов-кандидатов на существующие вакансии. В процессе работы алгоритма автоматически вычисляется количество пар транзисторов, которые удалось расположить рядом друг с другом без разрыва диффузионной линейки, а также количество пар транзисторов, которые удалось расположить рядом друг с другом на одной вертикальной оси для последующего непосредственного соединения затворов этих транзисторов.

На рис. 5 представлен результат работы алгоритма для схемы сумматора на трех парах диффузионных линеек. Как можно видеть из рисунка, без разрыва диффузионной линейки расположена 21 пара транзисторов. Помимо этого присутствует 10 пар транзисторов с общим затвором. В работе алгоритма также применяется чередование пар диффузионных линеек и выполняется косвенная оценка качества. Объединение диффузионных областей и затворов транзисторов в совокупности с использованием чередования пар диффузионных линеек позволяет значительно сократить площадь схемы. Чтобы обеспечить корректную работу алгоритма для больших ячеек, было добавлено условие ограничения времени работы. При достижении предела времени выполнения дальнейший перебор вариантов размещения прекращается. В этом случае в качестве результата из уже найденных вариантов размещения будет выбран лучший относительно критериев качества.

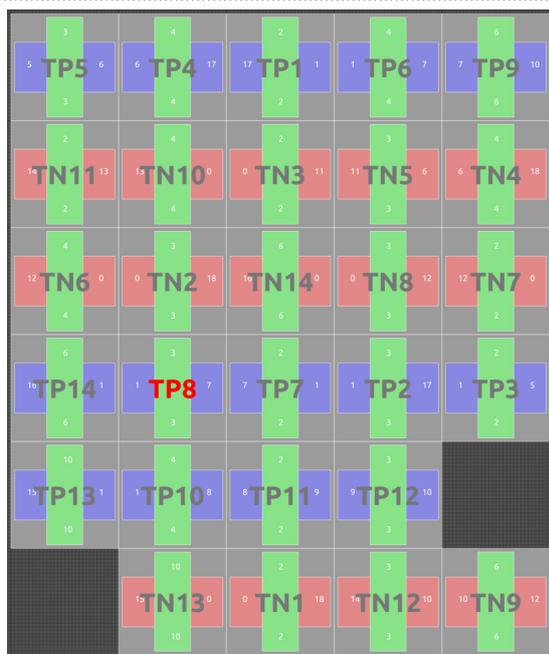


Рис. 5. Пример результата работы алгоритма поиска на сетке размещения доступных вакансий по общему затвору и по общей диффузионной области для схемы сумматора на трех парах диффузионных линеек  
 Fig. 5. An example of the result of the search algorithm on the grid for the placement of available vacancies by a common gate and by a common diffusion region for an adder scheme on three pairs of diffusion lines

**Заключение.** В процессе исследования комбинаторных методов размещения компонентов был разработан алгоритм, позволяющий добиться

уменьшения площади реализуемых устройств и снижения времени размещения компонентов благодаря учету особенностей области применения – топологии микроселектронной компонентной базы.

Разработанный алгоритм может выполнять размещение не с «нуля», а с учетом задаваемых пользователем начальных условий, что позволяет учитывать особенности включения ячейки в БИС и ускорять процесс генерации топологии. Преимущество алгоритма состоит в возможности работы с несколькими парами диффузионных линеек. При этом в алгоритме учитывается взаимное симметричное расположение диффузионных областей для обеспечения более компактного размещения транзисторов.

Алгоритм оценивает последующую трассировку ячейки посредством расчета длины шин для найденного размещения. Примененный в алгоритме механизм ограничения максимального времени работы позволяет использовать алгоритм для размещения нескольких сотен транзисторов, не тратя при этом на вычисления множество часов.

Одним из возможных направлений дальнейшего развития алгоритма может быть использование поиска для сходных частей схемы сходных вариантов их размещения. Это позволит находить оптимальный результат быстрее благодаря использованию уже найденных вариантов для размещения групп транзисторов.

#### Список литературы

1. Миронов С. Э., Ширяев П. М., Кайданович О. Ю. Модели в процессе проектирования сложных микроселектронных объектов в условиях неопределенности // 2023 XXVI Междунар. конф. по мягким вычислениям и измерениям (SCM). Санкт-Петербург, 2023. С. 105–109.
2. Миронов С. Э., Васильев А. Ю., Сафьянников Н. М. Средства автоматизации иерархического проектирования сложных микроселектронных схем при неопределенности проектных норм // Конф. «Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС)». Москва, 2019. Вып. 3. С. 60–67.
3. Generic ILP versus Specialized 0-1 ILP: An update / F. A. Aloul, A. Ramani, I. L. Markov, K. A. Sakallah // ACM Int. Conf. on Comp. Aided Design. San Jose, CA, USA: IEEE, 2002. P. 450–457.
4. Zhu J., Fang F., Tang Q. C. A new layout-migration engine for hard intellectual property libraries // IEEE Trans. on Comp.-Aided Design of Integrated Circuits and Systems. 2005. Vol. 24, no. 9. P. 1347–1361.
5. Transistor placement for automatic cell synthesis through Boolean satisfiability / M. Cardoso, A. Bubolz, J. Cortadella, L. Rosa, F. Marques // IEEE Intern. Symp. on Circuits and Systems (ISCAS). Seville, Spain: IEEE, 2020. P. 1–5. doi: 10.1109/ISCAS45731.2020.9181137.
6. Duran C., Roa E. Routing-aware standard cell placement algorithm applying Boolean // IEEE Intern. Symp. on Circuits and Systems (ISCAS). Daegu, Korea: IEEE, 2021. P. 1–5. doi: 10.1109/ISCAS51556.2021.9401098.
7. Ryzhenko N., Burns S. Standard cell routing via Boolean satisfiability // Design, Automation & Test in Europe Conf. & Exhibition (DATE). San Francisco, CA, USA: IEEE, 2012. P. 603–612. doi: 10.1145/2228360.2228470.
8. Lu A. Simultaneous transistor pairing and placement for CMOS standard cells // Design, Automation & Test in Europe Conf. & Exhibition (DATE). Grenoble, France: IEEE, 2015. P. 1647–1652.
9. MCell: Multi-row Cell layout synthesis with resource constrained MAX-SAT based detailed routing / Y.-L. Li, S.-T. Lin, S. Nishizawa, H. Onodera // IEEE Intern. Conf. On Comp. Aided Design (ICCAD). San Diego USA: IEEE, 2020. P. 1–8.
10. Mixed-Cell-height placement with drain-to-drain abutment and region constraints / J. Chen, Z. Zhu, L. Guo, Y. W. Tseng, Y.-W. Chang // IEEE Transactions on

Comp.-aided design of integrated circuits and systems. IEEE, 2022. № 4. P. 1103–1115. doi: 10.1109/TCAD.2021.3077586.

11. Jo K., Kim T. Optimal transistor placement combined with Global In-cell Routing in standard cell layout

synthesis // IEEE 39<sup>th</sup> Intern. Conf. on Comp. Design (ICCD). Storrs, CT, USA: IEEE, 2021. P. 517–524. doi: 10.1109/ICCD53106.2021.00085.

---

### Информация об авторах

**Ширяев Павел Михайлович** – аспирант кафедры вычислительной техники СПбГЭТУ «ЛЭТИ».  
E-mail: pshir2000z@gmail.com

**Миронов Сергей Эльмарович** – канд. техн. наук, доцент кафедры вычислительной техники СПбГЭТУ «ЛЭТИ».  
E-mail: semironovspb@yandex.ru  
<http://orcid.org/0009-0006-4503-0600>

### References

1. Mironov S. Je., Shirjaev P. M., Kajdanovich O. Ju. Modeli v processe proektirovanija slozhnyh mikroelektronnyh ob#ektov v uslovijah neopredelennosti // 2023 XXVI Mezhdunar. konf. po mjagkim vychislenijam i izmerenijam (SCM). Sankt-Peterburg, 2023. S. 105–109. (In Russ.).

2. Mironov S. Je., Vasil'ev A. Ju., Saf'jannikov N. M. Sredstva avtomatizacii ierarhicheskogo proektirovanija slozhnyh mikroelektronnyh shem pri neopredelennosti proektnyh norm // Konf. «Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MJeS)». Moskva, 2019. Vyp. 3. S. 60–67. (In Russ.).

3. Generic ILP versus Specialized 0-1 ILP: An update / F. A. Aloul, A. Ramani, I. L. Markov, K. A. Sakallah // ACM Int. Conf. on Comp. Aided Design. San Jose, CA, USA: IEEE, 2002. P. 450–457.

4. Zhu J., Fang F., Tang Q. C. A new layout-migration engine for hard intellectual property libraries // IEEE Trans. on Comp.-Aided Design of Integrated Circuits and Systems. 2005. Vol. 24, no. 9. P. 1347–1361.

5. Transistor placement for automatic cell synthesis through Boolean satisfiability / M. Cardoso, A. Bubolz, J. Cortadella, L. Rosa, F. Marques // IEEE Intern. Symp. on Circuits and Systems (ISCAS). Seville, Spain: IEEE, 2020. P. 1–5. doi: 10.1109/ISCAS45731.2020.9181137.

6. Duran C., Roa E. Routing-aware standard cell placement algorithm applying Boolean // IEEE Intern. Symp.

on circuits and systems (ISCAS). Daegu, Korea: IEEE, 2021. P. 1–5. doi: 10.1109/ISCAS51556.2021.9401098.

7. Ryzhenko N., Burns S. Standard cell routing via Boolean satisfiability // Design, Automation & Test in Europe Conf. & Exhibition (DATE). San Francisco, CA, USA: IEEE, 2012. P. 603–612. doi: 10.1145/2228360.2228470.

8. Lu A. Simultaneous transistor pairing and placement for CMOS standard cells // Design, Automation & Test in Europe Conf. & Exhibition (DATE). Grenoble, France: IEEE, 2015. P. 1647–1652.

9. MCell: Multi-row cell layout synthesis with resource constrained MAX-SAT based detailed routing / Y.-L. Li, S.-T. Lin, S. Nishizawa, H. Onodera // IEEE Intern. Conf. On Comp. Aided Design (ICCAD). San Diego USA: IEEE, 2020. P. 1–8.

10. Mixed-Cell-Height placement with drain-to-drain abutment and region constraints / J. Chen, Z. Zhu, L. Guo, Y. W. Tseng, Y.-W. Chang // IEEE Transactions on Comp.-Aided Design of Integrated Circuits and Systems. IEEE, 2022. № 4. P. 1103–1115. doi: 10.1109/TCAD.2021.3077586.

11. Jo K., Kim T. Optimal Transistor placement combined with Global In-cell routing in standard cell layout synthesis // IEEE 39<sup>th</sup> Intern. Conf. on Comp. Design (ICCD). Storrs, CT, USA: IEEE, 2021. P. 517–524, doi: 10.1109/ICCD53106.2021.00085.

---

### Information about the authors

**Pavel M. Shiryaev** – postgraduate student of the Department of Computer Engineering of Saint-Petersburg Electrotechnical University.  
E-mail: pshir2000z@gmail.com

**Sergey E. Mironov** – Cand. Sci. (Eng.), assistant professor of Saint-Petersburg Electrotechnical University.  
E-mail: semironovspb@yandex.ru  
<http://orcid.org/0009-0006-4503-0600>

Статья поступила в редакцию 11.09.2024; принята к публикации после рецензирования 01.10.2024; опубликована онлайн 25.11.2024.

Submitted 11.09.2024; accepted 01.10.2024; published online 25.11.2024.

---