

## Проектирование цепи питания гибко-жесткой печатной платы с применением средств моделирования

П. А. Макеев<sup>✉</sup>, И. Р. Музафаров, Д. В. Ландышев, И. Р. Галимов

Казанский национальный исследовательский технический  
университет им. А. Н. Туполева – КАИ, Казань, Россия

<sup>✉</sup>pragramer@yandex.ru

**Аннотация.** Рассматривается возможность проектирования цепи питания на гибко-жесткой печатной плате для обеспечения стабильного функционирования микросхем памяти DDR4. Проведено предтопологическое моделирование гибко-жесткой печатной платы и сформирована матрица развязывающих конденсаторов. Выполнено автоматизированное размещение элементов на гибко-жесткую печатную плату с учетом критериев тепловой и электромагнитной совместимости с применением двухуровневого генетического алгоритма. Рассмотрены особенности трассировки цепи питания. Проведено посттопологическое моделирование гибко-жесткой печатной платы, подтверждающее эффективность предложенного подхода к проектированию и выбору математических моделей.

**Ключевые слова:** гибко-жесткая печатная плата, микросхема памяти DDR4, автоматизированное размещение, целостность питания

**Для цитирования:** Проектирование цепи питания гибко-жесткой печатной платы с применением средств моделирования / П. А. Макеев, И. Р. Музафаров, Д. В. Ландышев, И. Р. Галимов // Изв. СПбГЭТУ «ЛЭТИ». 2023. Т. 16, № 6. С. 70–80. doi: 10.32603/2071-8985-2023-16-6-70-80.

**Финансирование.** Работа выполнена в рамках Соглашения Министерства науки и высшего образования РФ № 075-03-2023-032 от 16.01.2023 г. (шифр FZSU-2023-0004).

**Конфликт интересов.** Авторы заявляют об отсутствии конфликта интересов.

Original article

## Design of Power Circuits of a Flexible-Rigid Printed Board Using Simulation Tools

P. A. Makeev<sup>✉</sup>, I. R. Muzafarov, D. V. Landyshev, I. R. Galimov

Kazan National Research Technical University named  
after A. N. Tupolev – KAI, Kazan, Russia

<sup>✉</sup>pragramer@yandex.ru

**Abstract** The possibility of designing a power supply circuit on a flexible-rigid printed circuit board to ensure the stable operation of DDR4 memory chips is considered. A pretopological modeling of a flexible-rigid printed circuit board was carried out, and a matrix of decoupling capacitors was formed. An automated placement of elements on a flexible-rigid printed circuit board was performed, accounting for the criteria of thermal and electromagnetic compatibility using a two-level genetic algorithm. The features of tracing the power circuit are considered. A post-topological modeling of a flexible-rigid printed circuit board was carried out, confirming the effectiveness of the proposed approach to designing and choosing mathematical models.

**Keywords:** rigid-flex PCB, DDR4 memory chip, automated placement, power integrity

**For citation:** Design of the Power Circuits of a Flexible-Rigid Printed Board Using Simulation Tools / P. A. Makeev, I. R. Muzafarov, D. V. Landyshev, I. R. Galimov // LETI Transactions on Electrical Engineering & Computer Science. 2023. Vol. 16, no. 6. P. 70–80. doi: 10.32603/2071-8985-2023-16-6-70-80.

**Funding.** The work was carried out with the Ministry of Science and Higher Education of the Russian Federation № 075-03-2023-032 dated 16.01.2023 (code FZSU-2023-0004).

**Conflict of interest.** The authors declare no conflicts of interest.

**Введение.** В настоящее время цифровые технологии нашли применение во всех областях деятельности человека, начиная от обычной бытовой жизни и заканчивая технологиями, связанными с космосом.

Основной тенденцией развития цифровых технологий является уменьшение габаритных размеров изделий с одновременным улучшением его производительности. Для достижения данных результатов необходимо постоянно совершенствовать технологии автоматизированного проектирования и изготовления изделий.

При размещении большого количества элементов в изделия с малыми габаритами возникает необходимость более точного учета различных видов воздействий одних элементов на другие. Учитывая малые габариты, а также высокие скорости работы современных изделий, которые измеряются в десятках гигагерц, даже малейшее паразитное воздействие может привести к некорректной работе изделия.

Для обеспечения наиболее плотной компоновки изделий широкое распространение получают гибко-жесткие печатные платы (ГЖПП). Печатные платы данного типа применяются как в бытовой технике, так и в мобильных телефонах, в устройствах, размещаемых на самолетах, кораблях, подводных транспортах, а также на космических аппаратах. Их основное преимущество заключается в гибкости конструкции, что позволяет разместить плату в небольшом объеме изделия и решить проблему межсхемных соединений за счет гибкого шлейфа. Также гибкий шлейф повышает качество передачи сигнала за счет уменьшения искажений на разъемном соединении.

Для оценки тепловой и электромагнитной совместимости (ЭМС) на этапе проектирования изделия применяется компьютерное моделирование устройства, что позволяет экономить время при проведении испытаний изделия, а также существенно снизить финансовые затраты на его изготовление.

В [1]–[5] рассматривается этап моделирования высокоскоростных печатных плат, однако процесс моделирования никак не коррелируется с этапом проектирования. В [6] описывается этап проектирования печатной платы с учетом ЭМС,

но не раскрываются проблемы прохождения сигнала через гибкую часть ГЖПП.

В данной статье рассматривается разработка и верификация цепи питания ГЖПП, имеющей в своем составе процессор и микросхемы памяти DDR4. По причине конструктивных особенностей процессор и микросхемы памяти разнесены на различные жесткие участки ГЖПП. Таким образом, гибкая часть ГЖПП служит для передачи цифровых сигналов на частоте 2400 МГц, а также напряжения питания, равного  $1.2 \text{ В} \pm 60 \text{ мВ}$ . Внешний вид ГЖПП и расположение фиксированных элементов приведены на рис. 1, а на рис. 2 – ГЖПП в сложенном состоянии с фиксированными элементами ( $X_1, X_2$  – соединители,  $D_1$  – процессор,  $D_2, D_3$  – микросхемы памяти).

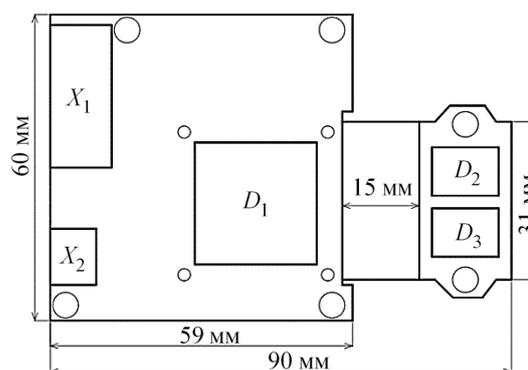


Рис. 1. Внешний вид ГЖПП

Fig. 1. Appearance of the flexible-rigid PCB

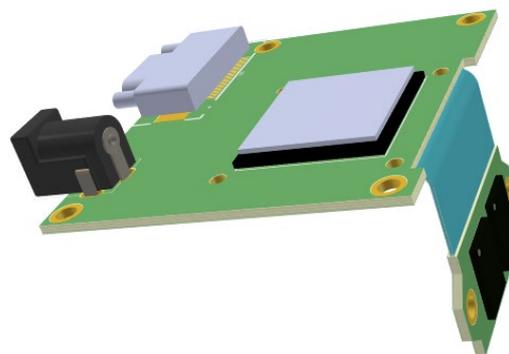


Рис. 2. ГЖПП в сложенном состоянии

Fig. 2. Flexible-rigid PCB in the folded state

Цель данной статьи заключается в анализе возможности применения ГЖПП для цепи питания и обеспечения стабильной работы микросхем памяти DDR4.

Статья содержит 4 раздела, посвященных отдельным этапам проектирования ГЖПП.

Первый раздел статьи посвящен предтопологическому моделированию, а именно подбору матрицы развязывающих конденсаторов на этапе разработки электрической схемы для обеспечения необходимого уровня импеданса в цепи питания.

Во втором разделе рассматривается автоматизированное размещение элементов на ГЖПП, с учетом электромагнитной и тепловой совместимости.

В третьем рассмотрен этап формирования структуры ГЖПП, а также основные проблемы на этапе трассировки цепей питания ГЖПП.

Четвертый раздел посвящен посттопологическому моделированию разработанной топологии ГЖПП.

**1. Предтопологическое моделирование цепи питания на ГЖПП.** Проектирование электрических схем электронных средств осуществляется с использованием рекомендаций производителей микросхем. Однако в большинстве случаев данные рекомендации подходят лишь для нормальных климатических условий при отсутствии внешних электромагнитных воздействий, вследствие чего для корректной работы изделия во внешних условиях, отличных от нормальных, необходимо смоделировать электрическую схему.

В рамках данной статьи рассматривается задача целостности передачи питания. Следовательно, на уровне электрической схемы необходимо выполнить качественный подбор фильтрующих конденсаторов, обеспечивающий нахождение импеданса цепи питания в допустимых пределах. Для расчета целевого импеданса применяется следующее выражение [7]:

$$Z_{\text{tar}} = \frac{V_{\text{core}} \cdot 0.05}{I_{\text{core}} \cdot 0.5},$$

где  $Z_{\text{tar}}$  – целевой импеданс, Ом;  $V_{\text{core}}$  – напряжение питания, В;  $I_{\text{core}}$  – сила тока, А.

Поскольку потребление процессора по цепи питания 1.2 В составляет 200 мВт, то значение  $Z_{\text{tar}} = 0.7$  Ом при рабочих частотах до 2.4 ГГц, а для микросхем памяти при той же частоте  $Z_{\text{tar}} = 1.4$  Ом при потреблении в 100 мВт. Зависимости значения целевого импеданса от частоты для процессора (сплошная линия) и микросхемы памяти (пунктирная линия) приведены на рис. 3.

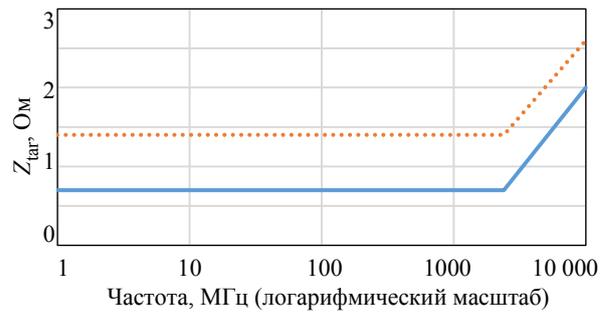


Рис. 3. Зависимость значения целевого импеданса от частоты  
Fig. 3. Target impedance versus frequency

При переключении микросхем из одного состояния в другое происходит резкое увеличение потребления тока в цепях питания, что приводит к образованию электромагнитных помех, связанных с целостностью питания. Снижение помех такого рода возможно за счет размещения на печатную плату матрицы развязывающих конденсаторов. Однако подобрать номиналы и количество конденсаторов на этапе разработки схемного решения сложно, поэтому подбор матрицы развязывающих конденсаторов осуществлялся в специализированном программном комплексе. При подборе использовался следующий основной критерий: импеданс цепи питания ниже целевого импеданса при минимальном количестве конденсаторов.

Развязывающие конденсаторы подбирались из библиотеки конденсаторов, приведенной в табл. 1.

Таким образом, был принят ряд решений с количеством конденсаторов от 10 до 30 штук. Результат, полученный с применением минимального количества конденсаторов и значением импеданса, не превышающим целевого импеданса, приведен на рис. 4, где обозначены кривые: 1 – расчетный импеданс микросхем памяти; 2 – целевой импеданс микросхем памяти; 3 – расчетный импеданс процессора; 4 – целевой импеданс процессора. Для микросхем памяти расчетное количество конденсаторов составило 16 штук, для процессора – 23 штуки. Номиналы подобранных конденсаторов и их количество приведены в табл. 2.

**2. Автоматизированное размещение элементов на ГЖПП.** Современные системы автоматизированного проектирования печатных плат позволяют осуществлять весь цикл проектирования. При этом, однако, отсутствует возможность размещать элементы в автоматизированном режиме, учитывая критерии электромагнитной и тепловой совместимости.

Табл. 1. Библиотека конденсаторов

Tab. 1. Capacitor library

Наименование конденсатора	Номинальная емкость, мкФ	Размер корпуса	Технология производства	Рабочее напряжение, В
GRM155R60G106ME44	10	0402E	X5R	4
GRM155R60J475ME47	4.7	0402E	X5R	6.3
GRM155R61A225ME95	2.2	0402E	X5R	10
LLR185C70G105ME03	1	0402E	X7S	4
LLL153C70G474ME17	0.47	0402E	X7S	4
GRM155B10J334KE01	0.33	0402E	B	6.3
LLL153C80J224ME14	0.22	0402E	X6S	6.3
GRM155R71C154KA12	0.15	0402E	X7R	16
LLL153R61A104ME01	0.1	0402E	X5R	10
GRM155R71C683KA88	0.068	0402E	X7R	16
GRM155R71C473KA01	0.047	0402E	X7R	16
GRM155R71C333KA01	0.033	0402E	X7R	16
GRM155R71C223MA01	0.022	0402E	X7R	16
GRM15XR71C103KA86	0.01	0402E	X7R	16
GRM155R71H682KA88	0.0068	0402E	X7R	50
GRM15XR71C472KA86	0.0047	0402E	X7R	16
GRM155R71H272KA01	0.0027	0402E	X7R	50
GRM15XR71E222KA86	0.0022	0402E	X7R	25
GRM155R71H182KA01	0.0018	0402E	X7R	50
GRM15XR71H152KA86	0.0015	0402E	X7R	50
GRM15XR11H102KA86	0.001	0402E	R	50
GRM155R71H821KA01	0.00082	0402E	X7R	50
GRM15XR71H681KA86	0.00068	0402E	X7R	50
GRM15XR71H471KA86	0.00047	0402E	X7R	50
GRM15XR71H331KA86	0.00033	0402E	X7R	50
GRM155R71H271KA01	0.00027	0402E	X7R	50
GRM15XR71H221KA86	0.00022	0402E	X7R	50
GRM1535C1H151JDD5	0.00015	0402E	C0G	50
GRM1555C1E121JA01	0.00012	0402E	C0G	50
GRM0222C1A101GD05	0.0001	0402E	CH	50
GRM1555C1H470JZ01	0.000047	0402E	C0G	50
GRM1555C1H330JZ01	0.000033	0402E	C0G	50
GRM1552C1H270JA01	0.000027	0402E	C0G	50
GRM1552C1H220GA01	0.000022	0402E	C0G	50
GJM0222C1C100GB01	0.00001	0402E	C0G	50

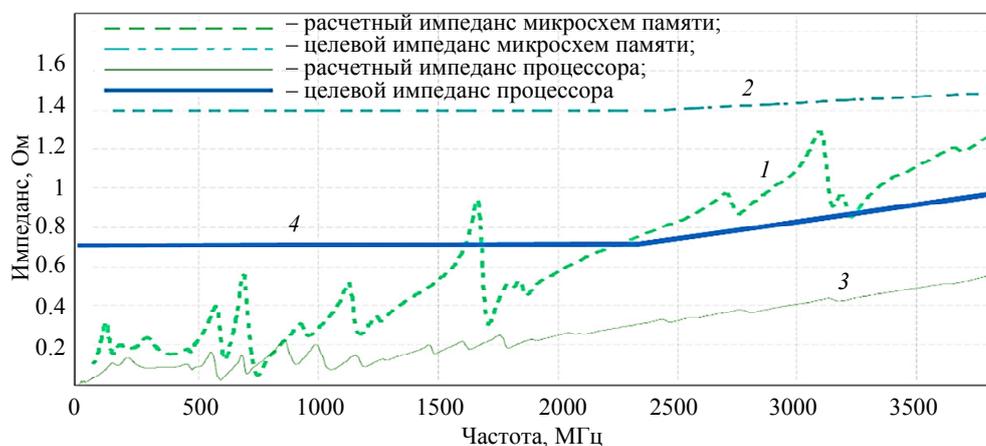


Рис. 4. Значения импеданса для цепи питания

Fig. 4. Power circuit impedance values

Табл. 2. Матрица развязывающих конденсаторов  
Tab. 2. Decoupling capacitor matrix

Микросхема процессора		Микросхема памяти	
Наименование конденсатора	Количество	Наименование конденсатора	Количество
GRM155R71C473KA01	1	GRM155R71H821KA01	1
GRM155R71H821KA01	1	GRM1555C1H470JZ01	1
LLL153C80J224ME14	1	GRM1555C1H330JZ01	1
LLL153C70G474ME17	1	GRM15XR71H331KA86	1
GRM15XR71H681KA86	2	GRM1552C1H220GA01	1
GRM15XR71H471KA86	2	GRM15XR71H471KA86	3
GRM15XR71H331KA86	4	GRM15XR71H221KA86	1
GRM155R71H271KA01	1	GRM15XR71C472KA86	1
GRM155R71H182KA01	1	GRM155R71C154KA12	1
GRM155R71C683KA88	1	GRM1535C1H151JDD5	1
GRM1535C1H151JDD5	1	GRM1555C1H330JZ01	3
GRM1555C1H470JZ01	2	GRM1552C1H270JA01	1
GRM1555C1H330JZ01	4	—	—
GRM1552C1H270JA01	2	—	—
GRM155R71C473KA01	1	—	—
Всего	23	Всего	16

Таким образом, размещение элементов на ГЖПП осуществляется на основе опыта инженера, решающего данную задачу. Безусловно, такой подход может привести к решениям, не оптимальным с точки зрения электромагнитной и тепловой совместимости.

Для решения данной задачи предлагается применение процедуры автоматизированного размещения элементов на ГЖПП. В основе данной процедуры применен двухуровневый генетический алгоритм [8], [9], позволяющий находить квазиоптимальные решения в поисковых задачах, к которым может быть отнесена задача размещения элементов на ГЖПП.

Согласно предлагаемому алгоритму первый этап состоит в формировании суперэлементов. Суперэлемент – набор элементов, состоящий из активного элемента (микросхема) и пассивных элементов (резисторы, конденсаторы и т. д.), необходимых для корректной работы активного элемента.

В соответствии с электрической схемой 256 элементов были сгруппированы в 9 суперэлементов. Дальнейшее размещение на первом уровне двухуровневого генетического алгоритма осуществляется для данных 9 суперэлементов с учетом критериев тепловой совместимости и критерия минимума суммарной взвешенной длины [8]. Целевая функция для первого уровня имеет следующий вид:

$$F = k_s F'_{\text{sum}} + k_t F'_t \rightarrow \max,$$

где  $k_s, k_t$  – весовые коэффициенты для критериев минимума суммарной взвешенной длины и критерия равномерного распределения теплонагруженных элементов;  $F'_{\text{sum}}$  – нормализованный критерий минимума суммарной взвешенной длины;  $F'_t$  – нормализованный критерий тепловой совместимости.

Результат размещения суперэлементов приведен на рис. 5. Сплошными линиями показаны зоны фиксированных элементов ( $X_1, X_2, D_1-D_3$ ), а штриховыми – размещенные суперэлементы ( $A_1-A_8$ ).

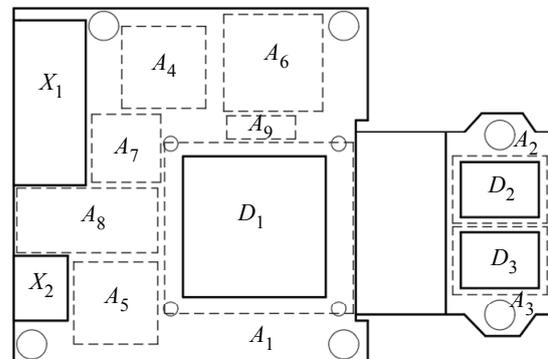


Рис. 5. Размещение суперэлементов  
Fig. 5. Super element placement

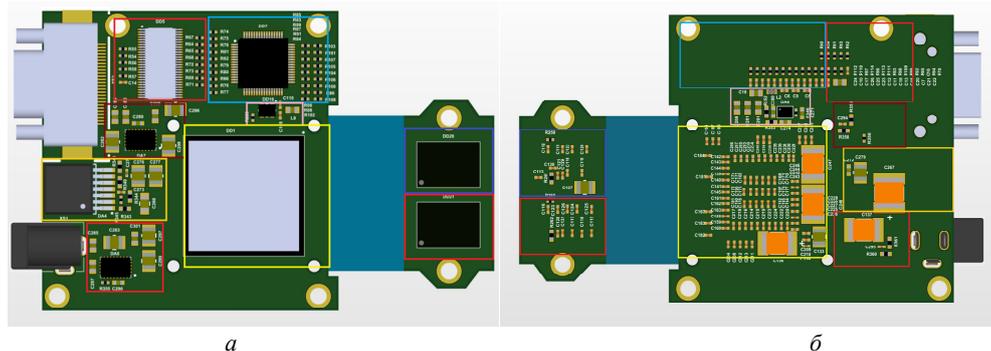


Рис. 6. Результат размещения элементов на ГЖПП: *a* – лицевая сторона, *б* – обратная сторона  
 Fig. 6. The result of placing elements on the flexible-rigid PCB: *a* – front side, *б* – back side

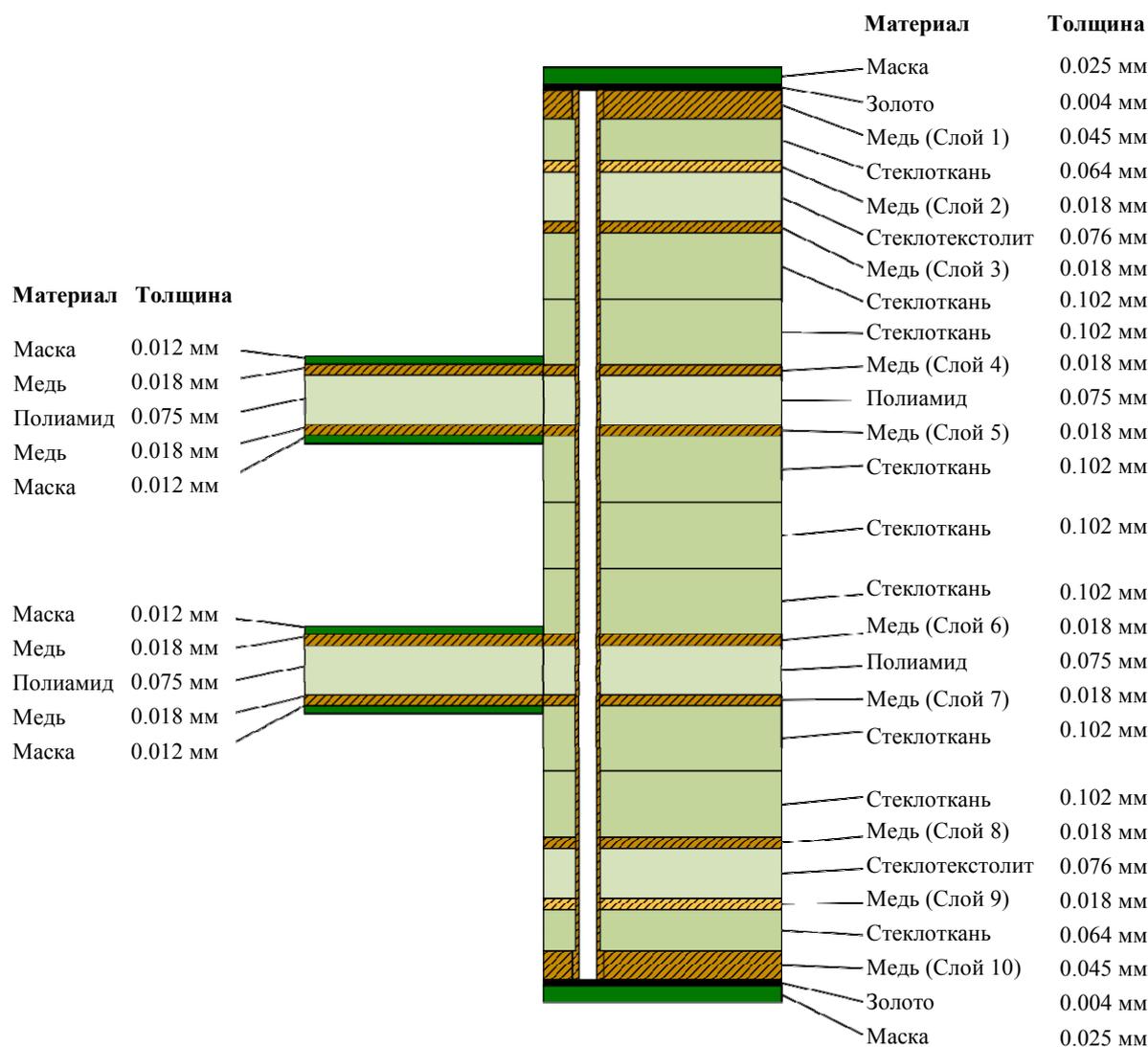


Рис. 7. Структура ГЖПП  
 Fig. 7. Structure of the flexible-rigid PCB

Следующим уровнем работы алгоритма становится размещение элементов внутри суперэлемента. Данный этап осуществляется с применением критерия минимума суммарно-взвешенной длины и ЭМС [9]. Целевая функция для второго уровня имеет вид

$$F = k_s F'_{\text{sum}} + k_E F'_{\text{EMC}} \rightarrow \max,$$

где  $k_s$ ,  $k_E$  – весовые коэффициенты для критериев минимума суммарно взвешенной длины и ЭМС;  $F'_{\text{EMC}}$  – нормализованный критерий ЭМС.

Результат размещения элементов на ГЖПП приведен на рис. 6, *a* – лицевая сторона, *б* – обратная сторона.

**3. Проектирование топологии цепи питания на ГЖПП.** Проектирование топологии печатной платы необходимо начинать с формирования структуры ГЖПП. Основная особенность ГЖПП – это полиамидные ядра, имеющие гибкую структуру. При формировании структуры ГЖПП нужно оценить необходимое для трассировки межсоединений количество проводящих слоев и подобрать диэлектрические материалы, их толщину и диэлектрическую проницаемость, для обеспечения импеданса сигнальных проводников. При проектировании интерфейса памяти DDR4 рекомендуемый импеданс для единичных сигнальных линий составляет  $50 \text{ Ом} \pm 10 \%$ , а для дифференциальных пар –  $100 \text{ Ом} \pm 10 \%$ . Таким образом, структура ГЖПП рассматриваемого в данной статье примера будет иметь вид, представленный на рис. 7. Воздушный зазор между 5 и 6 слоем необходим для обеспечения гибкости ГЖПП.

Стоит отметить, что слои с сигнальными линиями должны иметь опорные слои, в качестве которых могут быть использованы слои питания или земли.

Расчет импеданса межсоединений в виде микрополосковых линий можно выполнить по формуле Уилера, а для дифференциальных линий расчет импеданса осуществляется по формуле Киршнинга–Янсена [10], [11].

Вычисления по данным формулам целесообразно проводить в специализированных программных пакетах, так для данной структуры расчет значений проводников осуществлялся в САПР Altium Designer. Результаты расчета приведены в табл. 3.

На этапе трассировки цепи питания ГЖПП необходимо решать ряд оптимизационных задач, а именно:

1. Обеспечение проводимости тока по проводнику с потерями, не превышающими допустимых уровней.

2. Проверка отсутствия перегрева проводника, в силу высоких токов, приводящих к перегоранию меди.

3. Оптимизация расположения матрицы переходных отверстий при переходе с одного проводящего слоя на другой.

4. Минимизация уровня излучения электромагнитных полей, создаваемых проводниками цепи питания.

5. Оптимизация подключения развязывающих конденсаторов к цепи питания.

Решение данных задач необходимо контролировать средствами моделирования, а по результатам последнего вносить изменения в топологию ГЖПП.

В рамках данной работы трассировка цепи 1.2 В выполнена в слое 6, цепь земли проведена по слою 5, а также в слоях 2 и 9 в жестких частях ГЖПП. Рисунок трассировки земляного слоя представляет собой сплошной слой с вырезами под переходные и монтажные отверстия. Трассировка цепи питания 1.2 В показана на рис. 8.

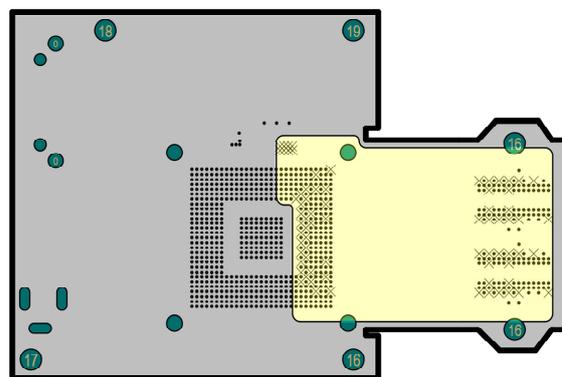


Рис. 8. Трассировка цепи питания 1.2 В  
Fig. 8. 1.2 V power trace

Табл. 3. Расчетные значения импеданса  
Tab. 3. Calculated impedance values

Сигнальный слой печатной платы	Ширина линии, мм	Зазор дифференциальной линии, мм	Целевой импеданс, Ом	Расчетный импеданс, Ом
Слой 1/слой 10	0.115	–	50	49.97
	0.1	0.223	100	99.99
Слой 3/слой 8	0.105	–	50	50.36
	0.1	0.22	100	100.05
Слой 4/слой 7 (жесткая часть)	0.105	–	50	50.57
	0.1	0.21	100	100.14
Слой 4/слой 7 (гибкая часть)	0.15	–	50	50.65
	0.115	0.1	100	99.95

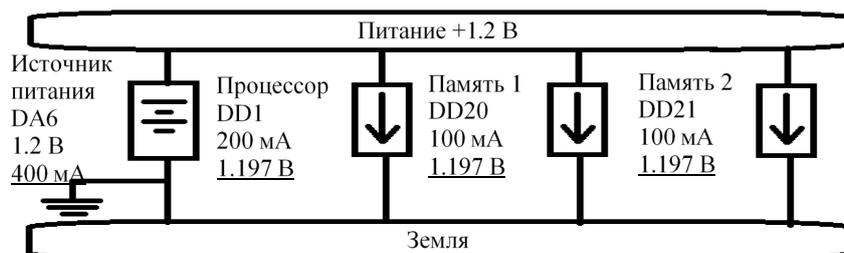


Рис. 9. Функциональная схема для анализа цепи питания  
 Fig. 9. Functional diagram for power circuit analysis

Табл. 4. Результат моделирования падения напряжения  
 Tab. 4. Voltage drop simulation result

Нагрузка	Минимальное допустимое напряжение, В	Максимальное допустимое напряжение, В	Результат моделирования, В	Отклонение от номинального значения, мВ
Процессор	1.14	1.26	1.1969	-3.1
Память 1	1.14	1.26	1.1967	-3.3
Память 2	1.14	1.26	1.1966	-3.4

**4. Посттопологическое моделирование цепи питания на ГЖПП.** Верификация полученного решения на этапе проектирования – это необходимый этап при создании ГЖПП с высокоскоростными интерфейсами и высокой плотностью компоновки. Поскольку в рамках данной работы рассматривается возможность передачи напряжения питания для микросхем памяти DDR4, то рассмотрим необходимые для этого этапы моделирования.

*Анализ падения напряжения.* Для корректного функционирования микросхем памяти напряжение цепи питания должно составлять  $1.2\text{ В} \pm 60\text{ мВ}$ . Так как проводники на ГЖПП имеют собственное сопротивление в зависимости от рисунка топологии, то напряжение на конечной нагрузке может оказаться за пределами допуска. Функциональная схема для эксперимента по анализу цепи питания для ГЖПП приведена на рис. 9.

Результат моделирования – значение напряжения на каждой микросхеме, являющийся нагрузкой, приведено в табл. 4.

Таким образом уровень напряжения на процессоре и микросхемах памяти удовлетворяет заданным ограничениям.

*Анализ плотности тока.* Плотность тока в проводнике зависит от его размеров и значения тока, протекающего в нем. Ввиду малых габаритов ГЖПП увеличение ширины проводника не всегда возможно, поэтому для решения задачи передачи больших токов используют несколько слоев питания и увеличивают толщину этих слоев. В рамках данной статьи проведено моделиро-

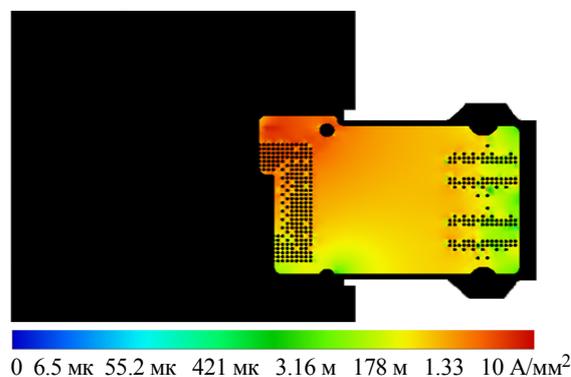


Рис. 10. Результат моделирования плотности тока в цепи питания  
 Fig. 10. The result of modeling the current density in the power circuit

вание цепи питания 1.2 В. Результат моделирования приведен на рис. 10.

Согласно ГОСТ 23751–86 допустимая плотность тока в сечении проводника составляет до  $250\text{ А/мм}^2$ ; соответственно, в данном случае при работе микросхем памяти DDR4 перегрева дорожек цепи питания не ожидается.

*Резонанс полигона питания.* При проектировании высокоскоростных ГЖПП особое внимание стоит уделить формированию качественной с учетом ЭМС цепи питания. В рамках данной статьи для обеспечения ЭМС цепи питания на каждом из этапов проектирования ГЖПП осуществлялись оптимизационные мероприятия. На завершающем этапе проводилось контрольное моделирование цепи питания ГЖПП в специализированной системе. Результат данного моделирования представлен на рис. 11, где обозначены

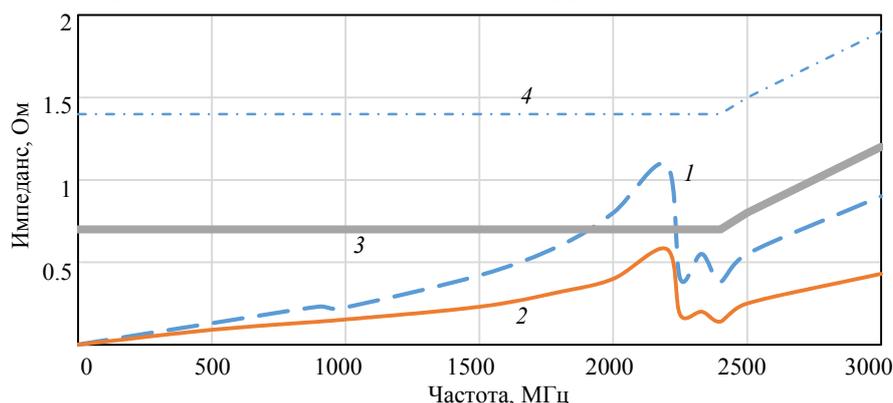


Рис. 11. Результат моделирования резонанса полигона цепи питания  
Fig. 11. The result of modeling the resonance of the polygon of the power circuit

кривые: 1, 2 – расчетные импедансы микросхем памяти и процессора; 3, 4 – целевые импедансы процессора и микросхем памяти.

Как видно из результатов моделирования, все три микросхемы находятся в допустимом диапазоне, не превышая значения целевого импеданса. Последнее показывает эффективность применения предтопологического моделирования и автоматизированного размещения элементов с учетом ЭМС.

**Заключение.** По результатам работы можно сделать следующие основные выводы:

1. ГЖПП при корректном проектировании обеспечивает передачу напряжения по цепи питания на гибкой части ГЖПП с заданными параметрами.

2. Предтопологическое моделирование цепи питания на ГЖПП позволяет определить необходимый набор развязывающих конденсаторов для обеспечения качественной с точки зрения ЭМС цепи питания на этапе разработки схемного решения.

3. Автоматизированное размещение элементов на ГЖПП с учетом критериев ЭМС и тепловой совместимости позволяет получать качественные проектные решения, удовлетворяющие требованиям корректного функционирования элементов.

4. Посттопологическое моделирование цепи питания на ГЖПП показывает эффективность предложенных методов при проектировании ГЖПП.

#### Список литературы

1. Суанов Т. А. Моделирование высокоскоростных линий передачи в многослойных печатных платах // Изв. ЮФУ. Технические науки. 2013. № 11(148). С. 186–194.
2. Pandey K. Signal and power integrity analysis of DDR4 address bus of onboard memory module // 2018 IEEE Electrical Design of Advanced Packaging and Systems Symp. (EDAPS). Chandigarh, India, 2018. P. 1–3. doi: 10.1109/EDAPS.2018.8680896.
3. Mehri M., Amini A. Stochastic EMI Noise Model of PCB layout for Circuit-level analysis of system in IoT Applications // IEEE Transactions on Microwave Theory and Techniques. 2020. Vol. 68, № 12. P. 5072–5081. doi: 10.1109/TMTT.2020.3017223.
4. Comprehensive signal and power co-investigation on DDR4 simulation and measurement / N. K. H. Huang, C.-Y. Hsieh, B.-C. Tseng, L.-Y. Shih // 2018 IEEE Intern. Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symp. on Electromagnetic Compatibility (EMC/APEMC). Suntec City, Singapore, 2018. P. 1041–1044. doi: 10.1109/IEMC.2018.8393943.
5. Ling F., Cai K., Sen B. Fast full board crosstalk scan for signal integrity sign-off for high speed PCB designs // 2018 IEEE Symp. on Electromagnetic Compatibility, Signal Integrity and Power Integrity (EMC, SI & PI). Long Beach, CA, USA, 2018. P. 122–125. doi: 10.1109/EMCSI.2018.8495173.
6. Research on EMC optimization of high speed PCB design / X. Chen, S. Xie, M. Zhao, C. Fu // 2011 Intern. Conf. on Electrical and Control Engin. Yichang, China, 2011. P. 6081–6084. doi: 10.1109/ICECENG.2011.6057058.
7. Bharath K., Engin E., Swaminathan M. Automatic package and board decoupling capacitor placement using genetic algorithms and M-FDM // 45<sup>th</sup> ACM/IEEE Design Automation Conf. IEEE. 2008. P. 560–565. doi: 10.1145/1391469.1391611.
8. Макеев П. А. Двустороннее автоматизированное размещение элементов на гибко-жесткой печатной плате на основе двухуровневого генетического алгоритма // Изв. СПбГЭТУ «ЛЭТИ». 2021. № 5. С. 28–36.
9. Макеев П. А. Автоматизированное размещение развязывающих конденсаторов на печатной плате генетическим алгоритмом // Изв. СПбГЭТУ «ЛЭТИ». 2022. Т. 15, № 3. С. 32–41. doi: 10.32603/2071-8985-2022-15-3-32-41.
10. Импеданс микрополосковой линии для обратных объемных магнитостатических волн / П. Е. Тимошенко, Е. Р. Бабичева, В. Н. Иванов, В. И. Зубков // Изв. вузов. Радиофизика. 2009. Т. 52, № 12. С. 987–995.

11. Исследование копланарных волноводов с переменным импедансом / В. П. Тимошенко, А. И. Хлыбов, Д. В. Родионов, А. А. Зайцев // Интеллектуальные

системы и микросистемная техника: сб. тр. междунар. науч.-практ. конф., пос. Эльбрус: НИУ «Московский институт электронной техники». 2017. С. 26–31.

### Информация об авторах

**Макеев Павел Алексеевич** – аспирант КНИТУ-КАИ, ул. К. Маркса, 10, Казань, Республика Татарстан, 420111, Россия.

E-mail: pragramer@yandex.ru

**Музафаров Ильдар Рафкатович** – аспирант КНИТУ-КАИ, ул. К. Маркса, 10, Казань, Республика Татарстан, 420111, Россия.

E-mail: i.r.muzaфарov@gmail.com

**Ландышев Дмитрий Витальевич** – магистр КНИТУ-КАИ, ул. К. Маркса, 10, Казань, Республика Татарстан, 420111, Россия.

E-mail: dima271000@gmail.com

**Галимов Ильназ Раисович** – магистр КНИТУ-КАИ, ул. К. Маркса, 10, Казань, Республика Татарстан, 420111, Россия.

E-mail: mr.ilnaz.galimov2001@mail.ru

### References

1. Suanov T. A. Modelirovanie vysokoskorostnyh linij peredachi v mnogoslojnyh pechatnyh platah // Izv. JuFU. Tehnicheskie nauki. 2013. № 11(148). S. 186–194. (In Russ.).

2. Pandey K. Signal and power integrity analysis of DDR4 address bus of onboard memory module // 2018 IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS). Chandigarh, India, 2018. P. 1–3. doi: 10.1109/EDAPS.2018.8680896.

3. Mehri M., Amini A. Stochastic EMI noise model of PCB Layout for Circuit-Level Analysis of system in IoT Applications // IEEE Transactions on Microwave Theory and Techniques. 2020. Vol. 68, № 12. P. 5072–5081. doi: 10.1109/TMTT.2020.3017223.

4. Comprehensive signal and power co-investigation on DDR4 simulation and measurement / N. K. H. Huang, C.-Y. Hsieh, B.-C. Tseng, L.-Y. Shih // 2018 IEEE Intern. Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symp. on Electromagnetic Compatibility (EMC/APEMC). Suntec City, Singapore, 2018. P. 1041–1044. doi: 10.1109/IEMC.2018.8393943.

5. Ling F., Cai K., Sen B. Fast full board crosstalk scan for signal integrity sign-off for high speed PCB designs // 2018 IEEE Symp. on Electromagnetic Compatibility, Signal Integrity and Power Integrity (EMC, SI & PI). Long Beach, CA, USA, 2018. P. 122–125. doi: 10.1109/EMCSI.2018.8495173.

6. Research on EMC optimization of high speed PCB design / X. Chen, S. Xie, M. Zhao, C. Fu // 2011 Intern.

Conf. on Electrical and Control Engineering. Yichang, China, 2011. P. 6081–6084. doi: 10.1109/ICECENG.2011.6057058.

7. Bharath K., Engin E., Swaminathan M. Automatic package and board decoupling capacitor placement using genetic algorithms and M-FDM // 45<sup>th</sup> ACM/IEEE Design Automation Conf. IEEE. 2008. P. 560–565. doi: 10.1145/1391469.1391611.

8. Makeev P. A. Dvustoronnee avtomatizirovannoe razmeshhenie jelementov na gibko-zhestkoj pechatnoj plate na osnove dvuhurovneвого geneticheskogo algoritma // Izv. SPbGETU «LETI». 2021. № 5. S. 28–36. (In Russ.).

9. Makeev P. A. Avtomatizirovannoe razmeshhenie razvjazyvajushhijh kondensatorov na pechatnoj plate geneticheskim algoritmom // Izv. SPbGETU «LETI». 2022. T. 15, № 3. S. 32–41. doi: 10.32603/2071-8985-2022-15-3-32-41. (In Russ.).

10. Impedans mikropoloskovej linii dlja obratnyh ob#jomnyh magnitostaticeskijh voln / P. E. Timoshenko, E. R. Babicheva, V. N. Ivanov, V. I. Zubkov // Izv. vuzov. Radiofizika. 2009. T. 52, № 12. S. 987–995. (In Russ.).

11. Issledovanie koplarnykh volnovodov s pere-mennym impedansom / V. P. Timoshenko, A. I. Hlybov, D. V. Rodionov, A. A. Zajcev // Intellektual'nye sistemy i mikrosistemnaja tehnika: sb. tr. mezhdunar. nauch.-prakt. konf. pos. Jel'brus: NIU «Moskovskij institut jelektronnoj tehniki». 2017. S. 26–31. (In Russ.).

### Information about the authors

**Pavel A. Makeev** – postgraduate student of KNIU-KAI, K. Marx st., 10, Kazan, Republic of Tatarstan, 420111, Russia.

E-mail: pragramer@yandex.ru

**Ildar R. Muzafarov** – postgraduate student of KNITU-KAI, K. Marx st., 10, Kazan, Republic of Tatarstan, 420111, Russia.

E-mail: i.r.muzafarov@gmail.com

**Dmitry V. Landyshev** – master of KNITU-KAI, K. Marx st., 10, Kazan, Republic of Tatarstan, 420111, Russia.

E-mail: dima271000@gmail.com

**Ilnaz R. Galimov** – master of KNITU-KAI, K. Marx st., 10, Kazan, Republic of Tatarstan, 420111, Russia.

E-mail: mr.ilnaz.galimov2001@mail.ru

Статья поступила в редакцию 11.04.2023; принята к публикации после рецензирования 25.04.2023; опубликована онлайн 23.06.2023.

Submitted 11.04.2023; accepted 25.04.2023; published online 23.06.2023.

---