

## Аппаратная реализация встраиваемых нечетких систем

С. М. Морозов✉, М. С. Куприянов

Санкт-Петербургский государственный электротехнический университет  
«ЛЭТИ» им. В. И. Ульянова (Ленина), Санкт-Петербург, Россия  
✉ frostsergei01@gmail.com

**Аннотация.** Рассматриваются принципы применения аналоговой схемотехники для реализации базовых операций нечеткой логики. Представлен обзор схемотехнических модулей, в которых операции осуществляются над аналоговым представлением нечетких переменных. Для сопряжения нечеткой системы с датчиками и исполнительными механизмами в контуре системы управления объектом или процессом, рассмотрены также модули для преобразования информации из числовой в непрерывную и наоборот. Описываются составляющие модулей, их достоинства и недостатки. Применение аппаратных узлов, основанных на этих принципах, – важная часть разработки нечеткой электроники.

**Ключевые слова:** нечеткий вывод, нечеткая электроника, аналоговые сигналы, встраиваемые системы, операционный усилитель, релаятор

**Для цитирования:** Морозов С. М., Куприянов М. С. Аппаратная реализация встраиваемых нечетких систем // Изв. СПбГЭТУ «ЛЭТИ». 2023. Т. 16, № 3. С. 68–78. doi: 10.32603/2071-8985-2023-16-3-68-78.

**Конфликт интересов.** Авторы заявляют об отсутствии конфликта интересов.

Original article

## Hardware Implementation of Fuzzy Logic Systems

S. M. Morozov✉, M. S. Kupriyanov

Saint Petersburg Electrotechnical University, Saint Petersburg, Russia  
✉ frostsergei01@gmail.com

**Abstract.** Principles of using analog circuitry for implementing basic fuzzy logic operations are considered. A set of developed hardware modules, where operations are executed on an analog representation of fuzzy variables is presented. Modules for converting information from digital to continuous form and vice versa are presented in order to link fuzzy system with sensors and executing circuitry, for example, in the control system of a process or an object. The components of such modules are described, along with their pros and cons. The use of circuits based on these principles seems essential for the development of fuzzy electronics.

**Keywords:** fuzzy inference systems, fuzzy electronics, analog signals, embedded systems, operational amplifiers, relator

**For citation:** S. M. M. S. Kupriyanov. Hardware Implementation of Fuzzy Logic Systems // LETI Transactions on Electrical Engineering & Computer Science. 2023. Vol. 16, no. 3. P. 68–78. doi: 10.32603/2071-8985-2023-16-3-68-78.

**Conflict of interest.** The authors declare no conflicts of interest.

**Введение.** Существуют различные подходы к построению встраиваемых нечетких систем. В большинстве случаев нечеткий алгоритм принятия решений, заданный, например, набором продукционных правил, реализуется посредством интерпретации в дискретной системе (процессоре или микроконтроллере) программным способом.

Основным направлением работ в области нечеткой электроники является разработка и компоновка отдельных аппаратных узлов, реализующих заданный функционал. Для создания нечеткой электроники требуется аппаратная реализация математической базы нечеткой логики. Ведутся работы не только в направлении создания прин-

ципально новых способов функционирования нечеткой электроники, но и в направлении улучшения основных параметров существующих аппаратных узлов: увеличение скорости работы, снижение погрешности, подавление шумов и др.

Целью статьи является сравнительный анализ и описание принципов функционирования схемотехнических узлов, работающих в непрерывно-логическом базисе, для построения встраиваемых нечетких систем.

**Аппаратные элементы непрерывной логики.** Разработка нечеткой электроники связана с понятием непрерывной логики [1], которая была разработана как обобщение логики дискретной (двузначной). Она использует правила математической логики для работы в недискретном базисе. Большинство законов дискретной логики сохранилось при переносе в многозначную, но некоторые законы потребовали корректировок из-за изменения определения операции отрицания. Операция конъюнкции сводилась к выбору наименьшего значения, операция дизъюнкции – к выбору максимального значения, а операция отрицания требовала формирования зеркального сигнала относительно выбранного диапазона значений. Из-за специфики операции отрицания не выполнялась часть законов классической логики, чем объясняются структурные отличия непрерывной логики от классической. Главные отличия проявляются в законах противоречия и исключения третьего.

Отличие функций нечеткой логики от непрерывной проявляется в используемом диапазоне значений. Непрерывная логика может использовать любой выбранный диапазон, а нечеткая работает при значениях от 0 до 1, поэтому реализации классических систем нечеткой логики имеют некоторые особенности. Сильнее всего это проявляется при разработке нечетких систем Ларсена, которые используют операцию арифметического умножения, не предусмотренную в непрерывной логике. Проблема проявляется в том, что умножение нечетких переменных не эквивалентно умножению электрических сигналов. Так, при умножении нечетких переменных, которые равны 0.5, произведение будет меньше, чем множители, а при умножении электрических сигналов, которые им соответствуют, – больше. Решение этой проблемы заключается в использовании делителя напряжения, чтобы разделить произведение сигналов на максимальное для цепи значение напряжения. Это обусловлено нормализацией сигналов в схемах, при которой максимальное значение в цепи принимается за логическую единицу.

В качестве основного непрерывно-логического базиса в большинстве случаев выбирается квазибулевский: отрицание, конъюнкция, дизъюнкция. Допускается и выбор других базовых операций – импликация, эквивалентности, исключающего ИЛИ, Шеффера, Вебба, и др. Реализация этих функций аналогична реализации в булевой логике на основе булевского базиса. Для реализации этих операций необходимы функции сложения и модуля.

Для применения средств непрерывной логики в схемотехнике нужна реализация всех операций в непрерывно-логическом базисе. При формировании максимального и минимального сигналов применяются диоды, транзисторы и другие элементы. На рис. 1 представлены некоторые схемы формирования максимального и минимального сигналов на основе диодов (рис. 1, *а*) и транзисторов (рис. 1, *б* и *в*). Схема на основе диодов масштабируема, с ее помощью можно обработать больше сигналов. Транзисторная схема [2] на рис. 1, *в* формирует как максимальный, так и минимальный сигналы, однако для обработки большего количества сигналов требуется каскадирование этих схем. Схема 1, *б* – минимальный аппаратный узел, который формирует сигнал, равный меньшему из двух. При применении ее для большего количества сигналов требуется каскадирование. Этот узел также требует подключения внешнего максимального питания и «земли», в отличие от двух других схем. На рис. 1 обозначены:  $V_1$ ,  $V_2$  – входные сигналы напряжения,  $V_{dd}$  – положительное напряжение питания,  $V_{ss}$  – отрицательное напряжение питания («земля»),  $V_{max}$  – выходной сигнал, соответствующий максимальному напряжению,  $V_{min}$  – выходной сигнал, соответствующий минимальному напряжению. Нагрузка показана в виде резисторов.

Для формирования сигнала отрицания стандартных решений не существует. Самый простой способ получения этого узла – вычитатель на основе операционного усилителя. При вычитании подаваемого на вход сигнала из максимально возможного, получается аналог дополнения сигнала до единицы. В большинстве схем отрицания на транзисторах отрицание рассматривается с точки зрения цифровой схемотехники. По этой причине использование таких схем некорректно.

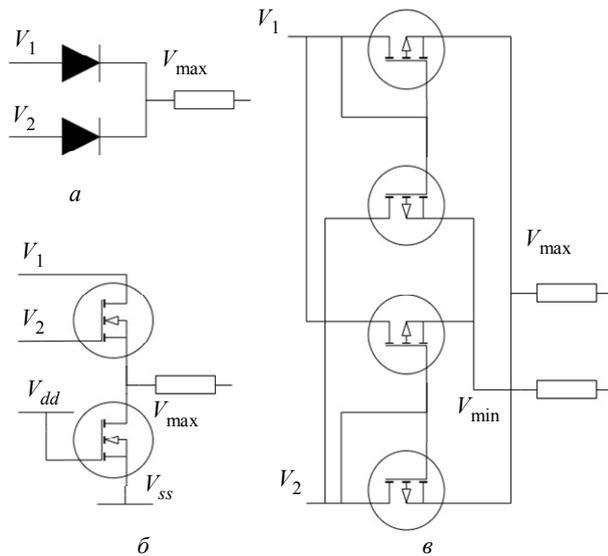


Рис. 1. Схемы выбора максимального и минимального сигналов: *a* – на основе диодов; *б, в* – на основе транзисторов  
Fig. 1. Maximum and minimum signals selector: *a* – based on diodes; *б, в* – based on transistors

Проводятся испытания для определения наиболее эффективных схем с точки зрения точности требуемого сигнала. В [3] исследовались несколько схем, с помощью которых определялись максимальное и минимальное напряжения. Часть схем легко масштабировать для большего количества сигналов, а часть требует каскадирования. Все эти схемы выполняют задачу выбора одного из двух сигналов, однако вносят в результирующий сигнал определенную погрешность, что связано с реальными характеристиками транзисторов. В ходе исследования было установлено, что погрешность, которую вносят такие схемы, наибольшая, когда сигналы близки по значению. Также было замечено, что схемы воспроизводят один из входных сигналов практически без по-

грешности, однако при воспроизведении остальных сигналов погрешность появляется. Проверились и другие характеристики описываемых схем: задержка, потребляемая мощность и др. Самая быстрая схема для работы с двумя сигналами имела погрешность 6 %, и ее задержка была около 1 пс. Наименьшая погрешность у этих схем для обработки двух сигналов составляла 5 %, и ее задержка была около 22 пс. При работе с тремя сигналами погрешность оставалась на уровне 5 %, однако задержка выростала до 12 нс. Таким образом, задержка прямо пропорциональна числу используемых в схеме транзисторов.

При разработке улучшенных версий аппаратных узлов, описанных ранее, стоял вопрос уменьшения погрешностей формируемых сигналов. Одним из решений был переход на коммутационные элементы. В результате работ в этом направлении появилась релейная схемотехника [4]. Она основана на реле [5], который представляет собой схемотехнический узел, использующий коммутационные элементы и компараторы. Компараторы определяют, какой из двух сигналов больше, и формируют управляющий сигнал для коммутаторов. По функционалу выделяют коммутационные, мультиплексорные и демultipлексорные реле, которые реализуются одной схемой [6]. Узел можно каскадировать для реализации более сложных функций. Полученные схемы называются многопороговыми. На рис. 2 представлены одноранговый (рис. 2, *a*) и двухранговый (рис. 2, *б*) реле. Сигналы, обозначенные как *x*, – входные управляющие, *y* – входные функциональные, а *z* – выходные функциональные. Их достаточно для разработки аппаратных функций конъюнкции и дизъюнкции. Разный функционал реле достигается различными

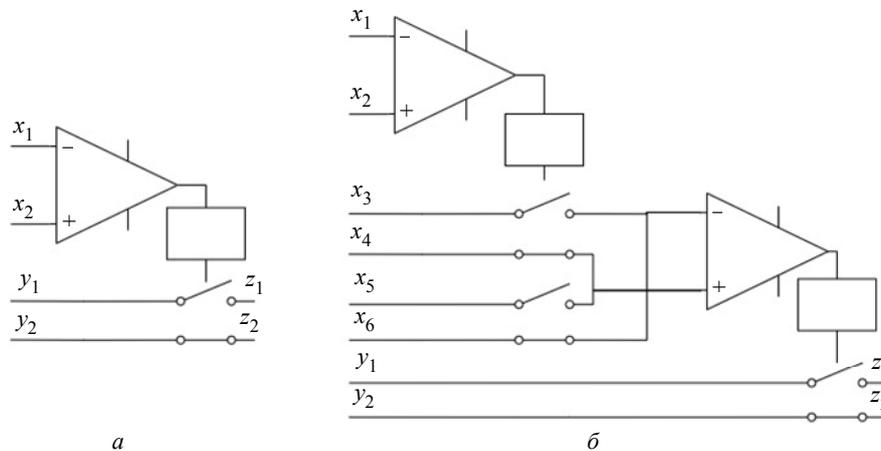


Рис. 2. Схемы реле: *a* – однорангового; *б* – двухрангового  
Fig. 2. Relator circuits: *a* – single-rank; *б* – double-rank

способами подключения входных и выходных контактов.

Релеатор использует две группы сигналов: управляющие и функциональные. Управляющие сигналы поступают на входы компаратора и служат для управления коммутаторами. Функциональные сигналы поступают на коммутаторы и определяют выходные сигналы микросхемы. При этом управляющие сигналы могут совпадать с функциональными.

На основе релеаторов строятся системы обработки сигналов без их преобразования в цифровой код. В элементном базисе релеаторов строятся различные аппаратные системы, в том числе системы машинного обучения на базе нейронных сетей [7].

Релеаторы позволяют добиться высокой точности передачи сигналов за счет минимизации погрешностей используемых элементов, однако у этого подхода есть недостатки. Решения, основанные на релеаторах, не позволяют минимизировать количество входящих в них транзисторов. Существуют узлы, которые используют меньшее количество минимально возможных структурных элементов (транзисторов). Реализация компаратора предполагает большее количество транзисторов, чем может быть необходимо при построении систем на других принципах.

С точки зрения используемых в релеаторе компонентов, можно выделить недостаток, связанный с моделью компаратора. Этот элемент формирует положительный или отрицательный сигнал в зависимости от того, какой из входных сигналов больше. Однако поведение компаратора при равенстве сигналов не определено. Соответственно, не определено и поведение релеатора в этом случае. На практике низка вероятность того, что эта ситуация наступит. Управляющие сигналы формируются по отдельности, и их точное совпадение по значению маловероятно. При этом данные сигналы передаются не по идеальным проводникам с нулевым сопротивлением, а по реальным, у которых сопротивление не нулевое и не одинаковое на каждом элементе. На практике проводники вносят крайне малую погрешность в сигнал. Эта погрешность существенна: в метрологии для полной нейтрализации этой погрешности при измерении применяются специальные методы, направленные на учет сопротивления проводника [8]. Таким образом, единственным способом получения равных сигналов на входных контактах компаратора служит их короткое замыкание. Этот случай можно рассматривать как не-

штатную ситуацию, так как подача равных сигналов на компаратор не имеет смысла и может диагностироваться для определения неполадок.

При сравнении релеаторного решения со схемами на транзисторах следует отметить, что релеаторные схемы уступают в скорости. Для оценки времени работы требуется определить задержки отдельных компонентов релеаторов: переключателя и компаратора. Компараторы могут иметь разную задержку, однако быстрыми считаются те, у которых задержка менее 100 нс. Существуют сверхбыстрые микросхемы, такие, как AD8561, задержка которых достигает 7 нс. Коммутаторы могут создавать задержку около 5 нс, однако при переключении задержка может достигать 100 нс, как в микросхеме прецизионного переключателя ADS419. Схемы на транзисторах работают быстрее, однако их сопротивление выше и зависит от напряжения, из-за чего растет вносимая в сигнал погрешность.

Релеаторы позволяют получить максимальный или минимальный сигнал напряжения. Данный функционал узла достаточно ограничен, поэтому существуют доработки этой схемы. Например, существует модификация [9], предназначенная для формирования медианного сигнала (кроме максимального и минимального). Существует модификация [10], которая решает проблему неопределенности выходного сигнала компаратора при равенстве входных управляющих сигналов, для чего добавляется функциональный сигнал, значение которого используется при равенстве управляющих сигналов.

Нечеткие множества связаны с переносом правил непрерывной логики на теорию множеств. Так вместо дискретной характеристики принадлежности элемента множеству появляется непрерывная характеристика, которая известна как функция принадлежности. Также нечеткая логика вводит понятие лингвистической переменной, которая описывает характеристики объекта. Основным направлением нечеткой логики является нечеткий вывод. Для него требуется преобразовать значения из четких в нечеткие, обработать результат преобразования на основе нечетких правил и перевести результат нечеткого вывода в четкую форму. На рис. 3 показана общая схема нечеткого вывода для двух переменных. При аппаратной реализации нечеткого вывода нужно создать аппаратные узлы для всех ее составляющих. На рис. 3 обозначены:  $V_{in1}$  и  $V_{in2}$  – входные

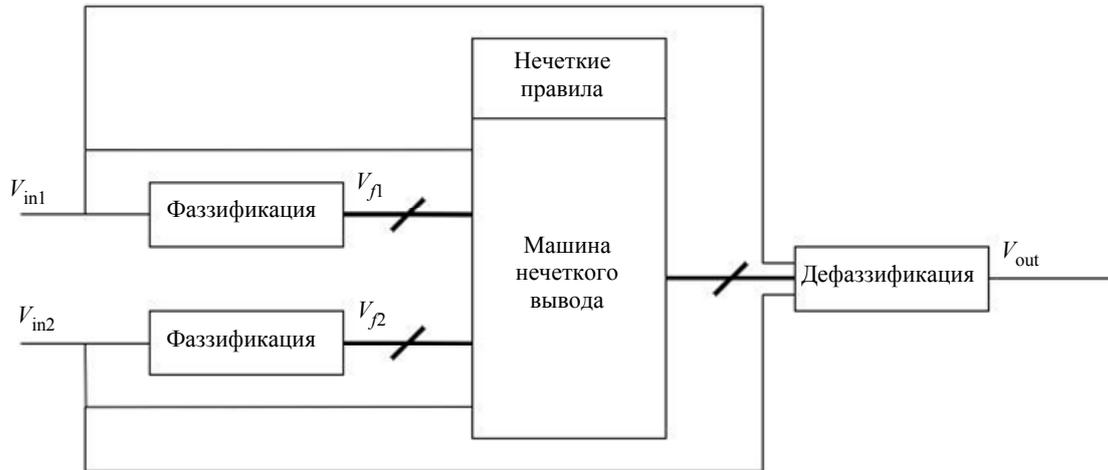


Рис. 3. Структура системы нечеткого вывода  
 Fig. 3. Fuzzy inference system structure

сигналы напряжения,  $V_{f1}$  и  $V_{f2}$  – группы нечетких сигналов,  $V_{out}$  – выходной сигнал.

**Аппаратные фаззификаторы и дефаззификаторы.** Кроме используемого в нечеткой электронике нечеткого вывода существуют операции для преобразования сигналов в нечеткую форму и обратно. Эти операции называются фаззификацией и дефаззификацией соответственно. Для них требуется другой математический аппарат, не связанный с математической логикой.

Операция фаззификации вычисляет функции принадлежности нечетким множествам. В результате выполнения преобразования сигнала в нечеткую форму получается ряд других сигналов, которые соответствуют функциям принадлежности. Для аппаратной реализации этих функций нужно определить две их основные составляющие: форму сигнала и параметры. Функции принадлежности нечетких множеств могут принимать значения от логического 0 до логической 1, и эти значения описывают различные характеристики объекта. Функции принадлежности могут быть разных форм: треугольная, Z-образная, трапецевидная, синусоидальная, гауссова и т. д. У каждой из этих функций свои параметры, особенности и методы построения.

Наиболее проста для описания кусочно-линейная функция. Она представляет собой обобщение треугольной, трапецевидной и других функций, которые задаются линейными уравнениями на нескольких диапазонах. Линейные функции требуют реализации операций сложения, вычитания и деления. Для сложения и вычитания используются классические решения на основе операционного усилителя (по схемам неинвертирующего сумматора и вычитателя). Для

деления существуют решения, использующие операционные усилители и аналоговые умножители [11]. Последние также могут быть реализованы несколькими способами, самый известный из которых – ячейка Гилберта [12]. Ведутся работы по оптимизации этого узла [13]–[15]. Схема делителя на основе умножителя представлена на рис. 4. Умножитель представлен готовой микросхемой. На рис. 4 обозначены:  $V_1$  и  $V_2$  – входные сигналы напряжения,  $R_1$  и  $R_2$  – резисторы,  $V_{ss}$  – отрицательное напряжение питания («земля»).

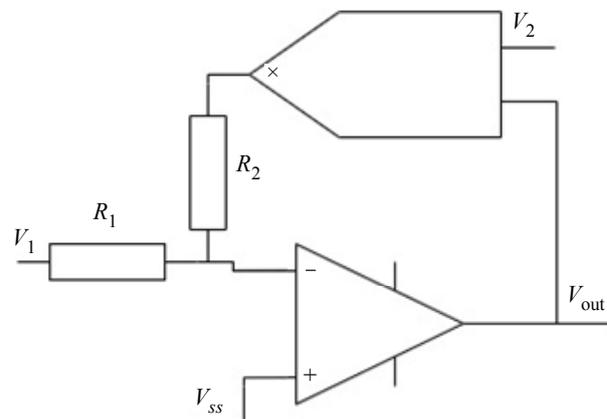


Рис. 4. Схема аналогового делителя на базе аналогового умножителя  
 Fig. 4. Analog multiplier based analog divider circuit

В кусочно-линейных функциях также существует необходимость определять, какую из линейных функций нужно вычислить для получения результата. Эта задача связана с определением уровня сигнала и получением набора сигналов выбора. Определение уровня сигнала – задача, которую решает аналого-цифровой преобразователь (АЦП) – микросхема, формирующая двоичный код, – демонстрирующий отношение по-

лученного входного напряжения к опорному. Для кусочных функций нужно небольшое количество участков, из-за чего использование реального АЦП избыточно. Другая особенность АЦП – равномерная дискретизация сигнала, что не всегда применимо к поставленной задаче. Можно выполнять обработку результата работы АЦП, однако более экономна сборка схемы, основанной на схожих принципах. Существует много принципов работы этого преобразователя (сигма-дельта, последовательного приближения, конвейерный, параллельный) [16], каждый из которых применим для разных задач. Сигма-дельта АЦП, созданные на основе интеграторов и дифференциаторов, обычно имеют наибольшее разрешение (до 32 бит), однако работают медленнее. АЦП последовательного приближения, использующие компаратор и регистр, работают быстрее, но не могут иметь большое разрешение (максимальным считается 18 бит) и создают шумы. Параллельные АЦП, использующие большое количество компараторов, – самые быстрые, однако требуют больших мощностей. Конвейерные АЦП немного уступают по скорости, однако используют меньшее количество компараторов. В задачах получения сигналов выбора большой разрядности не требуется, а шумы не сильно влияют на результат, поэтому АЦП последовательного приближения наиболее оптимальны.

В результате работы АЦП получается двоичный сигнал, который определяет, какую функцию нужно выбрать. Однако для этого нужен не двоичный код, а набор битов, в котором только один сигнал будет положительным. В цифровой схемотехнике для этой задачи используется дешифратор. С его помощью осуществляется выборка

сигнала на базе двоичного кода. При обработке им кода из специализированного АЦП получается требуемый набор сигналов выбора. Схема вычисления нечеткой функции на базе АЦП и дешифратора представлена на рис. 5. Схема выбора сигнала показана в виде АЦП, так как использует схожие принципы работы.

В качестве функции принадлежности также используется гауссова функция. Простейшая реализация требует только операции отрицания, возведения в квадрат и экспоненты. Для параметрической подстройки также нужны операции умножения, деления и вычитания. В ряде случаев для этой функции используется операция извлечения корня. Реализации аппаратных узлов для гауссовой функции посвящена статья [17]. В ней с помощью транзисторов реализованы все эти операции, а также некоторые вспомогательные, например операция модуля и преобразователь ток–напряжение.

Работы в области аппаратных систем непрерывно-логического базиса могут быть основаны не только на сигналах напряжения. В публикации, посвященной антиблокировочной системе [18], представлены схемы для фаззификации, которые используют значения токов и принципы транслинейности. В результате были получены схемы для выбора минимального тока, делителя токов и транслинейного передатчика. При этом схема делителя токов формировала сигнал напряжения. Полученные схемы обеспечивали максимальную погрешность 400 нА, и это очень хороший результат. Авторы также заявляют о высокой скорости разработанных схем и низком энергопотреблении системы. Недостаток схем в том, что они не минимальны, поскольку требуют достаточно много транзисторов по сравнению со схемами, которые работают с напряжениями.

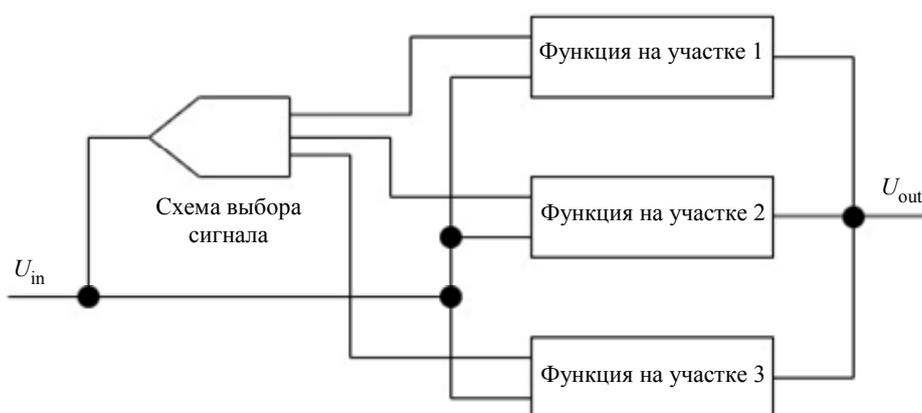


Рис. 5. Схема вычисления функции принадлежности  
Fig. 5. Membership function calculation circuit

Разрабатываются методы, использующие новейшие электронные компоненты. Например, в [19] разрабатывается алгоритм фаззификации на основе мемристоров [20]. Свойство мемристоров менять собственное сопротивление может быть использовано для подстройки при работе с операционными усилителями. Полученные схемы можно настроить для корректной работы, а не подстраивать компоненты вручную или подбирать резисторы. Схожий подход применяется и в [21], где описаны методы настройки мемристора с помощью последовательности импульсов и вид функции принадлежности на их основе.

Дефаззификация требует реализации более сложных алгоритмов, так как связана с более сложными вычислениями. При этом существует большое количество алгоритмов дефаззификации, каждый из которых требует реализации. Некоторые алгоритмы требуют формирования функций принадлежности нечетких множеств. Так, метод центра тяжести представляет собой поиск значения, которое разбивает площадь фигуры, ограниченной графиком кривой функции принадлежности, пополам. Это требует как вычисления нескольких функций принадлежности, так и метод поиска площади. Наиболее распространенные алгоритмы дефаззификации, рассмотренные в [22], описывают программную и аппаратную реализации методов центра масс, центра сумм, средней площади, среднего максимума, плато, взвешенного плато и спарса. Там же были предложены методы, основанные на медианах трапеций и взвешенных медианах трапеций. Установлено, что метод центра масс является наиболее точным, а метод среднего максимума – наименее точным, но самым быстрым, а метод средней площади – самым медленным. В этой же публикации представлена общая структура методов дефаззификации, для которой требуются сумматор, вычитатель, умножитель и схемы выбора.

Для метода центра тяжести, основного в нечетких системах Мамдани, требуется формирование большого количества значений полученной функции принадлежности. По этой причине данный функционал иногда разрабатывается отдельно. Все значения функции нужны для поиска площади заданной фигуры, как было описано ранее, для чего применяется интегрирование, которое реализуется на основе интегрирующего усилителя. Этот узел получается при использовании емкостной составляющей (конденсатора) в обратной связи операционного усилителя. Таким

образом, при периодическом последовательном формировании значений функции в итоге будет получен требуемый сигнал.

Существуют и более простые методы дефаззификации. Например, система Сугено использует метод взвешенного среднего. В ходе работы системы получается конечный набор сигналов, представляющих собой результаты действия линейных функций с несколькими предопределенными параметрами. Они используются для вычисления итогового значения, вычисляемого с помощью основных арифметических операций, рассмотренных ранее.

**Нечеткая электроника.** Аппаратная реализация нечеткой логики является базой нечеткой электроники. Существуют программно-ориентированные решения, основанные на специальных процессорах, одноядерных микроконтроллерах и программируемых интегральных схемах, однако использование аппаратных средств более эффективно с точки зрения производительности.

Наиболее распространены средства, основанные на программируемых микросхемах. Написание программы для микроконтроллера или описание конфигурации программируемой логической схемы – это более простая задача, чем составление электрической схемы. Производители микроконтроллеров, например «Texas Instruments», разработали инструкции по полностью программной реализации нечеткого контроллера на базе МСР430 для управления двигателем, распространены и реализации на программируемых логических интегральных схемах [23]. Однако эти микросхемы не считаются наиболее подходящими для таких задач, так как оперируют цифровыми сигналами. Нечеткая логика использует аппарат непрерывной логики, следовательно, для реализации нечетких систем более эффективны схемотехнические узлы, основанные на базисе непрерывной логики. Эти средства работают с аналоговыми, а не с цифровыми сигналами.

Первые шаги к построению нечеткой электроники были сделаны в 1980 г. Такеши Ямакавой. Он описал основные схемотехнические узлы, которые нужно создать для получения аппаратных систем нечеткой логики [24]. Реализации этих узлов могут быть разными в зависимости от задач, и у каждой из них есть свои особенности, достоинства и недостатки. Но общий принцип построения нечеткой электроники заключается в аппаратном воплощении требуемого математиче-

ского аппарата. Ямакава для минимизации количества операций в простейших системах использовал базис Шеффера, который состоит только из функции отрицания конъюнкции (И-НЕ) [25]. Реализация этой функции использует 3 транзистора. Это решение позволяет применить одну схему с небольшим количеством транзисторов в любых условиях, что, однако, не всегда эффективно. Например, операция отрицания в классическом базисе И-ИЛИ-НЕ использует 2 транзистора. Операция И может использовать 5 транзисторов (как последовательное подключение схем И-НЕ и отрицания), однако в базисе Шеффера будет использовано 6 транзисторов, так как в этом базисе отрицание требует на один транзистор больше. По этой причине для минимизации количества используемых в схеме транзисторов следует выделять операцию отрицания как отдельную, а вместо операций И и ИЛИ использовать И-НЕ и ИЛИ-НЕ соответственно.

Отдельные аппаратные узлы, на которых основана нечеткая система, могут иметь недостатки. Например, узел для вычисления функции принадлежности, предложенный в [26], создан на транзисторах и резисторах. Такой модуль прост для построения интегральных схем, однако транзисторы имеют ток обратного хода, а резисторы подвержены температурному дрейфу. В предложенных схемах эти факторы могут влиять на результаты вычислений в нестандартных условиях. Другой аппаратный узел использует цифровой потенциометр, однако ничего не сказано о том, происходит ли компенсация температурного дрейфа во время работы. В итоге погрешность вычислений, например при нестандартных температурах, может привести к ошибкам в процессе нечеткого вывода.

Другим примером недостатков существующих аппаратных узлов служит специфика схемы выбора максимума и минимума из нескольких напряжений при разработке нечеткого контроллера [27]. Предлагаемая авторами реализация на параллельно подключаемых транзисторах простая и масштабируемая (схему легко собрать для обработки нескольких сигналов, увеличив число транзисторов), однако подвержена влиянию токов утечки. Максимальное или минимальное значение напряжения будет отличаться от поступающих сигналов. Также можно объединить эти схемы в один узел для минимизации общего количества узлов.

Для ускорения вычислений система иногда должна хранить промежуточное состояние. В [28]

для этого была разработана нечеткая ячейка, которая хранит состояние выходного сигнала по аналогии с D-триггером. Это решение позволяет ускорить некоторые вычисления, однако существенно усложняет разрабатываемые узлы и требует внешнего тактирования.

Пример архитектуры интегральной схемы, которая полностью реализует все функции нечеткого контроллера Сугено, представлена в [29]. В статье описаны реализации всех необходимых узлов, требуемых для разработки нечеткого процессора: фаззификатор (входной и повторяющий), дефаззификатор, описание нечетких правил и логический вывод, основанные на всех описанных ранее операциях. В процессоре также описано применение оперативной памяти.

**Заключение.** Был описан общий подход к созданию систем нечеткой логики на основе аппаратных решений, использующих аналоговые электрические сигналы. Эти системы основаны на реализации математического аппарата, требуемого для нечеткой логики.

Все представленные решения используют определенный набор электрических схем, связанный с аппаратной реализацией непрерывно-логического базиса, который использует операции выбора максимального сигнала, выбора минимального сигнала и логического отрицания. Для получения этих узлов существует много решений: диоды, транзисторы, коммутаторы, компараторы, усилители и др. Одни решения имеют меньшую задержку, другие имеют меньшую погрешность.

Схемотехнические работы ведутся в направлении создания новых или улучшения существующих узлов. Прикладное направление работ может быть разным, но полученные в результате схемы применимы в любой области, в том числе для разработки умной электроники. Представленные решения имеют потенциал для улучшения как по характеристикам (задержки, погрешность), так и по функционалу.

Все аппаратные системы нечеткой логики выполняют операции, которые одинаковы для всех алгоритмов логического вывода. Эти системы отличаются друг от друга выбранным логическим базисом, реализацией логических узлов и используемыми на каждом из этапов логического вывода алгоритмами. Для аппаратного построения новых видов систем нечеткого вывода требуется создать узел нового вида. Например, переопределение операции импликации и замена соответствующего модуля на новый приведут к появлению систем

нового вида. Таким образом, во всех системах нечеткой электроники основная задача заключается в реализации требуемых математических операций.

При этом важно отметить, что все рассмотренные узлы применимы не только при разработке умной электроники, но и в других направлениях.

#### Список литературы

1. Levin V. I., Continuous logic – I. Basic concepts // *Kybernetes*. Vol. 29, no. 9/10. P. 1234–1249. doi: 10.1108/03684920010346301.
2. Madrenas J., Fernández D., Cosp J. A low-voltage current sorting circuit based on 4-T min-max CMOS switch // 2010 IEEE 17<sup>th</sup> Intern. Conf. on Electronics «Circuits and Systems». Athens, Greece: IEEE, 2010. P. 351–354. doi: 10.1109/ICECS.2010.5724525.
3. Zaki F., Mustajab P. Voltage mode CNFET based fuzzy min-max circuits // Intern. Conf. on Electrical, Electronics and Computer Engineering (UPCON). Aligarh, India, 2019. P. 1–6. doi: 10.1109/UPCON47278.2019.8980160.
4. Волгин Л. И. Синтез устройств для обработки и преобразования информации в элементном базисе реляторов. Таллинн: Валгус, 1989. 179 с.
5. Пат. 2170456С1 (RU). Коммутационный релятор для воспроизведения базовых функций коммутационной алгебры / Л. И. Волгин. Заявл. 10.11.2000; опубл. 10.07.2001; бюл. № 15. 6 с.
6. Волгин Л. И., Зарукин А. И., Климовский А. Б. Классификация реляторов по доминантным признакам // Проектирование и технология электронных средств. 2002. № 3. С. 32–38.
7. Волгин Л. И. Векторная коммутационная алгебра и ее применения: Две лекции по курсу «Логические основы и модели нейронных сетей» / УлГТУ. Ульяновск, 1996. 52 с.
8. Заки Д. М., Бурамбаева Н. А. Измерение сопротивления соединителя для космических проводов методом Кельвина при различных температурах // XVIII Междунар. науч.-практ. конф. «Российская наука в современном мире». М., 2018. С. 55–59.
9. Пат. 2169945С2 (RU). Реляторный процессор для идентификации информационного сигнала по признаку его принадлежности к субмедианному или супраемедианному подмножествам массива аналоговых сигналов / Л. И. Волгин. Заявл. 15.12.1998; опубл. 27.06.2001; бюл. № 17. 7 с.
10. Пат. 2195019С1 (RU). Реляторный элемент / Д. В. Андреев. Заявл. 10.01.2002; опубл. 20.12.2002; бюл. № 36. 5 с.
11. Shen-luan Liu, Chen J.-J. Realization of analogue divider using current feedback amplifiers. *Circuits, Devices and Systems* // IEEE Proc. 1995. Vol. 142, no. 1. P. 45–48. doi: 10.1049/IP-CDS:19951609.
12. Gilbert B. A precise four-quadrant multiplier with subnanosecond response // IEEE J. of Solid-State Circuits. 1968. Vol. 3, no. 4. P. 365–373. doi: 10.1109/JSSC.1968.1049925.
13. Sullivan P. J., Xavier B. A., Ku W. H. Low voltage performance of a microwave CMOS Gilbert cell mixer // IEEE J. of Solid-State Circuits. 1997. Vol. 32, no. 7. P. 1151–1155. doi: 10.1109/4.597309.
14. NacEachern L. A., Manku T. A charge-injection method for Gilbert cell biasing // IEEE Canadian Conf. on Electrical and Computer Engineering (Cat. No. 98TH8341). Waterloo, ON, Canada, 1998. Vol. 1. P. 365–368. doi: 10.1109/CCECE.1998.682760.
15. A 25–75 GHz broadband Gilbert-Cell mixer using 90-nm CMOS technology / J. H. Tsai, P. S. Wu, C. S. Lin, T. W. Huang, J. G. J. Chern, W. C. Huang // IEEE Microwave and Wireless Components Lett. 2007. Vol. 17, no. 4. P. 247–249. doi: 10.1109/LMWC.2007.892934.
16. Кожевников А. А., Беспалов К. П. Методы непозиционного аналого-цифрового преобразования // Автоматика. 2015. Т. 51, № 6. С. 125–130.
17. Analog gaussian function circuit: Architectures, operating principles and applications / V. Alimisis, M. Gourdouparis, G. Gennis, Chr. Dimas, Paul P. Sotiriadis // *Electronics*. 2021. No. 10(20): 2530. doi: 10.3390/electronics10202530.
18. Mokarram M., Khoei A., Hadidi Kh. A fuzzy Anti-lock braking system (ABS) controller using CMOS circuits // *Microprocess and Microsystems*. 2019. Vol. 70. P. 47–52. doi: 10.1016/J.MICPRO.2019.05.001.
19. Javadian M., Hejazi A., Klidbary S. H. Obtaining fuzzy membership function of clusters with the memristor hardware implementation and on-chip learning // IEEE Transactions on Emerging Topics in Computational Intelligence. 2022. Vol. 6, no. 4. P. 1008–1025. doi: 10.1109/TETCI.2022.3145639.
20. Chua L. Memristor – the missing circuit element // IEEE Transactions on Circuit Theory. 1971. Vol. 18, no. 5. P. 507–519. doi: 10.1109/TCT.1971.1083337.
21. Marlen A., Dorzhigulov A. Fuzzy membership function implementation with memristor. arXiv: 1805.06698. doi: 10.48550/arXiv.1805.06698. URL: <https://arxiv.org/abs/1805.06698> (дата обращения 01.12.2022).
22. Banaiyan A., Fakhraie S. M., Mahdiani H. R. Cost-performance co-analysis in VLSI implementation of existing and new defuzzification methods // Intern. Conf. on Computational Intelligence for Modelling, Control and Automation (CIMCA-IAWTIC'06). Vienna, Austria: IEEE, 2005. P. 828–833. doi: 10.1109/CIMCA.2005.1631367.
23. Bhole K., Agashe S., Deshpande A. FPGA implementation of type 1 fuzzy inference system for intravenous anesthesia // IEEE Intern. Conf. on Fuzzy Systems (FUZZ-IEEE). Hyderabad, India: IEEE, 2013. P. 1–6. doi: 10.1109/FUZZ-IEEE.2013.6622437.
24. Implementation of fuzzy logic hardware systems—three fundamental arithmetic circuits / T. Yamakawa, T. Inoue, Y. Shirai, F. Ueno // *Trans. IECE of Japan*. 1980. Vol. 63, no. 10. P. 720–721.
25. Yamakawa T. Electronic circuits dedicated to fuzzy logic controller // *Scientia Iranica*. 2011. Vol. 18, no. 3. P. 528–538. doi: 10.1016/j.scient.2011.04.002.

26. Miki T., Yamakawa T. Analog implementation of neo-fuzzy neuron and its on-board learning // Intern. J. of Computational Intelligence and Appl. 1999. P. 144–149. URL: [https://www.researchgate.net/publication/267943468\\_Analog\\_Implementation\\_of\\_Neo-Fuzzy\\_Neuron\\_and\\_Its\\_On-board\\_Learning](https://www.researchgate.net/publication/267943468_Analog_Implementation_of_Neo-Fuzzy_Neuron_and_Its_On-board_Learning) (дата обращения 01.12.2022).

27. Guo S., Peters L., Surmann H. Design and application of an analog fuzzy logic controller // IEEE Transactions on Fuzzy Systems. 1996. Vol. 4, no. 4. P. 429–438. doi: 10.1109/91.544303.

28. Choi B., Tipnis K. New components for building fuzzy logic circuits // Fourth Intern. Conf. on Fuzzy Systems and Knowledge Discovery (FSKD 2007). Haikou, China: FSKD, 2007. P. 586–590. doi: 10.1109/FSKD.2007.421.

29. VLSI Architecture of fuzzy logic hardware implementation: a rev. / A. M. Murshid, S. Loan, S. Abbasi, A. Rahman, A. M. Alamoud // Intern. J. of Fuzzy Systems. 2011. Vol. 13, no. 2. P. 74–88. doi: 10.30000/IJFS.201106.0003.

### Информация об авторах

**Морозов Сергей Михайлович** – аспирант кафедры вычислительной техники СПбГЭТУ «ЛЭТИ».  
E-mail: [frostsergei01@gmail.com](mailto:frostsergei01@gmail.com)

**Куприянов Михаил Степанович** – д-р техн. наук, профессор, зав. кафедрой вычислительной техники СПбГЭТУ «ЛЭТИ», почетный работник высшего профессионального образования РФ.  
E-mail: [mikhail.kupriyanov@gmail.com](mailto:mikhail.kupriyanov@gmail.com)  
<https://orcid.org/0000-0003-4695-4507>

### References

1. Levin V. I., Continuous logic – I. Basic concepts // Kybernetes. Vol. 29. No. 9/10. P. 1234–1249. doi: 10.1108/03684920010346301.

2. Madrenas J., Fernández D., Cosp J. A low-voltage current sorting circuit based on 4-T min-max CMOS switch // 2010 IEEE 17<sup>th</sup> Intern. Conf. on Electronics, Circuits and Systems. Athens, Greece: IEEE, 2010. P. 351–354. doi: 10.1109/ICECS.2010.5724525.

3. Zaki F., Mustajab P. Voltage mode CNFET based fuzzy min-max circuits // 2019 Intern. Conf. on Electrical, Electronics and Computer Engineering (UPCON). Aligarh, India: UPCON, 2019. P. 1–6. doi: 10.1109/UPCON47278.2019.8980160.

4. Volgin L. I. Sintez ustrojstv dlya obrabotki i preobrazovaniya informacii v elementnom bazise relyatorov. Tallinn: Valgus, 1989. 179 s. (In Russ.).

5. Pat. 2170456C1 (RU). Kommutacionnyj relyator dlya vosproizvedeniya bazovyh funkcij komplementarnoj algebry / L. I. Volgin. Zayavl. 10.11.2000; opubl. 10.07.2001; byul. № 15. 6 s. (In Russ.).

6. Volgin L. I., Zaruikin A. I., Klimovskij A. B. Klassifikaciya relyatorov po dominantnym priznakam // Proektirovanie i tekhnologiya elektronnyh sredstv. 2002. № 3. S. 32–38. (In Russ.).

7. Volgin L. I. Vektornaya komplementarnaya algebra i ee primeneniya: Dve lekcii po kursu «Logicheskie osnovy i modeli nejronnyh setej» / UIGTU. Ul'yanovsk, 1996. 52 s. (In Russ.).

8. Zaki D. M., Burambaeva N. A. Izmerenie soprotivleniya soedinitelya dlya kosmicheskikh provodov metodom Kel'vina pri razlichnyh temperaturah // XVIII Mezhd. nauch.-prakt. konf. «Rossijskaya nauka v sovremennom mire». M., 2018. S. 55–59. (In Russ.).

9. Pat. 2169945C2 (RU). Relyatornyj processor dlya identifikacii informacionnogo signala po priznaku ego prinadlezhnosti k submediannomu ili supramedianomu

podmnozhestvam massiva analogovyh signalov / L. I. Volgin. Zayavl. 15.12.1998; opubl. 27.06.2001; byul. № 17. 7 s. (In Russ.).

10. Pat. 2195019S1 (RU). Relyatornyj element / D. V. Andreev. Zayavl. 10.01.2002; opubl. 20.12.2002; byul. № 36. 5 s. (In Russ.).

11. Shen-luan Liu, Chen J.-J. Realization of analogue divider using current feedback amplifiers // Circuits, Devices and Systems, IEEE Proc. 1995. Vol. 142, Is. 1. P. 45–48. doi: 10.1049/IP-CDS:19951609.

12. Gilbert B. A precise four-quadrant multiplier with subnanosecond response // IEEE J. of Solid-State Circuits. 1968. Vol. 3, no. 4. P. 365–373. doi: 10.1109/JSSC.1968.1049925.

13. Sullivan P. J., Xavier B. A., Ku W. H. Low voltage performance of a microwave CMOS Gilbert cell mixer // IEEE J. of Solid-State Circuits. 1997. Vol. 32, no. 7. P. 1151–1155. doi: 10.1109/4.597309.

14. NacEachern L. A., Manku T. A charge-injection method for Gilbert cell biasing // IEEE Canadian Conf. on Electrical and Computer Engineering (Cat. No. 98TH8341). Waterloo, ON, Canada, 1998. Vol. 1. P. 365–368. doi: 10.1109/CCECE.1998.682760.

15. A 25–75 GHz Broadband Gilbert-Cell Mixer Using 90-nm CMOS Technology / J. H. Tsai, P. S. Wu, C. S. Lin, T. W. Huang, J. G. J. Chern, W. C. Huang // IEEE Microwave and Wireless Components Lett. 2007. Vol. 17, no. 4. P. 247–249. doi: 10.1109/LMWC.2007.892934.

16. Kozhevnikov A. A., Bespalov K. P. Metody nepozitsionnogo analogo-cifrovogo preobrazovaniya // Avtometriya. 2015. T. 51, № 6. S. 125–130. (In Russ.).

17. Analog Gaussian function circuit: Architectures, operating principles and applications / V. Alimisis, M. Gourdouparis, G. Gennis, Chr. Dimas, Paul P. Sotiriadis // Electronics. 2021. No. 10(20): 2530. doi: 10.3390/electronics10202530.

18. Mokarram M., Khoei A., Hadidi Kh. A fuzzy Anti-lock braking system (ABS) controller using CMOS circuits // *Microprocess and Microsystems*. 2019. Vol. 70. P. 47–52. doi: 10.1016/j.micpro.2019.05.001.
19. Javadian M., Hejazi A., Klidbary S. H. Obtaining fuzzy membership function of clusters with the memristor hardware implementation and on-chip learning // *IEEE Transactions on Emerging Topics in Computational Intelligence*. 2022. Vol. 6, no. 4. P. 1008–1025. doi: 10.1109/TETCI.2022.3145639.
20. Chua L. Memristor – the missing circuit element // *IEEE Transactions on Circuit Theory*. 1971. Vol. 18, no. 5. P. 507–519. doi: 10.1109/TCT.1971.1083337.
21. Marlen A., Dorzhigulov A. Fuzzy membership function implementation with memristor. arXiv: 1805.06698. doi: 10.48550/arXiv.1805.06698. URL: <https://arxiv.org/abs/1805.06698> (data obrashheniya 01.12.2022).
22. Banaiyan A., Fakhraie S. M., Mahdiani H. R. Cost-performance co-analysis in VLSI implementation of existing and new defuzzification methods // *Intern. Conf. on Computational Intelligence for Modelling, Control and Automation and Intern. Conf. on Intelligent Agents, Web Technologies and Internet Commerce (CIMCA-IAWTIC'06)*. Vienna, Austria: IEEE, 2005. P. 828–833. doi: 10.1109/CIMCA.2005.1631367.
23. Bhole K., Agashe S., Deshpande A. FPGA implementation of type 1 fuzzy inference system for intravenous anesthesia // *2013 IEEE Intern. Conf. on Fuzzy Systems (FUZZ-IEEE)*. Hyderabad, India: IEEE, 2013. P. 1–6. doi: 10.1109/FUZZ-IEEE.2013.6622437.
24. Implementation of fuzzy logic hardware systems—three fundamental arithmetic circuits / T. Yamakawa, T. Inoue, Y. Shirai, F. Ueno // *Trans. IECE of Japan*. 1980. Vol. 63, no. 10. P. 720–721.
25. Yamakawa T. Electronic circuits dedicated to fuzzy logic controller // *Scientia Iranica*. 2011. Vol. 18, Iss. 3. P. 528–538. doi: 10.1016/j.scient.2011.04.002.
26. Miki T., Yamakawa T. Analog implementation of neo-fuzzy neuron and its on-board learning // *Computational Intelligence and Applications, WSES Press, Piraeus*. 1999. P. 144–149. URL: [https://www.researchgate.net/publication/267943468\\_Analog\\_Implementation\\_of\\_Neo-Fuzzy\\_Neuron\\_and\\_Its\\_On-board\\_Learning](https://www.researchgate.net/publication/267943468_Analog_Implementation_of_Neo-Fuzzy_Neuron_and_Its_On-board_Learning) (data obrashheniya 01.12.2022).
27. Guo S., Peters L., Surmann H. Design and application of an analog fuzzy logic controller // *IEEE Transactions on Fuzzy Systems*. 1996. Vol. 4, no. 4. P. 429–438. doi: 10.1109/91.544303.
28. Choi B., Tipnis K. New components for building fuzzy logic circuits // *Fourth Intern. Conf. on Fuzzy Systems and Knowledge Discovery (FSKD 2007)*. Haikou, China: FSKD, 2007. P. 586–590. doi: 10.1109/FSKD.2007.421.
29. VLSI architecture of fuzzy logic hardware implementation: a rev. / A. M. Murshid, S. Loan, S. Abbasi, A. Rahman, A. M. Alamoud // *Intern. J. of Fuzzy Systems*. 2011. Vol. 13, Iss. 2. P. 74–88. 15 p. doi: 10.30000/IJFS.201106.0003.
- 

#### Information about the authors

**Sergey M. Morozov** – postgraduate student of the Department of Computer Engineering of Saint Petersburg Electrotechnical University.  
E-mail: [frostsergei01@gmail.com](mailto:frostsergei01@gmail.com)

**Mikhail S. Kupriyanov** – Dr Sci. (Eng.), Professor, Head of Department of Computer Engineering of Saint Petersburg Electrotechnical University.  
E-mail: [mikhail.kupriyanov@gmail.com](mailto:mikhail.kupriyanov@gmail.com)  
<https://orcid.org/0000-0003-4695-4507>

Статья поступила в редакцию 17.12.2022; принята к публикации после рецензирования 13.01.2023; опубликована онлайн 25.03.2023.

Submitted 17.12.2022; accepted 13.01.2023; published online 25.03.2023.

---