

УДК 004

О. И. Буренева, О. А. Жирнова

Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

## Бит-потокосвое устройство извлечения квадратного корня

*Традиционным способом обработки информации, получаемой от чувствительных элементов с частотным выходом, являются прямые вычисления, предполагающие преобразование частотных сигналов в цифровую форму с последующим выполнением необходимых математических операций. В статье предлагается альтернативное решение, связанное с применением отказоустойчивых следящих структур, выполняющих поэлементную обработку бит-поточковых данных, осуществляющуюся по мере поступления очередного битового элемента. При этом операции различной сложности могут быть сведены к базису операций инкремент/декремент, а также операций, связанных с изменением формы представления данных. С использованием предлагаемого подхода разработано устройство для извлечения квадратного корня. В статье приведена схема устройства, рассмотрен порядок его работы, подготовлено описание устройства на языке проектирования аппаратуры и выполнены модельные эксперименты с использованием САПР Quartus II.*

### Бит-поточковые преобразования, структурная организация вычислений, обратная функция, базисные элементы, интеграция процессов, отказоустойчивость

При разработке систем, ориентированных на сквозные технологии интеллектуальных датчиков, интернет вещей, а также на усовершенствование интерфейсов взаимодействия между человеком и компьютером, ставится задача согласования сенсоров с цифровыми системами сбора и обработки информации.

Для реализации систем, принимающих информацию от большого числа разнородных источников, была предложена архитектура потокового процессора [1], состоящего из типового процессорного ядра и внешних аппаратных модулей потоковой обработки. Архитектура получила развитие, основная цель которого была связана с упрощением взаимодействия компонентов, осуществлявшегося не на основе шинных архитектур, а с использованием последовательной передачи данных битовыми потоками. Данные, получаемые от разнородных источников, обрабатываются в параллельно работающих каналах и далее передаются в вычислительное ядро, для чего применяются потоковые формы представления данных, использующие импульсы единичной амплитуды. В потоковых формах информация связывается с количеством импульсов, проходящих в потоке за единицу времени, или с относительной длительностью единичного значения несущего бита. При этом бит-поточковые представления не используют непосредственного кодирования, как это принято при цифровой обработке информации и в типовых интерфейсах.

В качестве базовой сущности физического носителя бит-поточковых данных могут выступать электрические, оптические, пневматические, биологические и другие сигналы. В электрических схемах в качестве носителя выступают электрические импульсы, на основе которых формируются потоки единичных импульсов и потоки широтно-импульсно-модулированных сигналов.

Предложенный децентрализованный подход к организации вычислительных систем, работающих с потоковыми формами, отличается простотой реализации каналов передачи и надежностью передачи битовых потоков [2]. При этом аппаратные потоковые преобразователи имеют более простую структуру и соответственно схемную реализацию по сравнению с вычислительными устройствами, работающими с многоразрядными двоичными кодами.

Для реализации предложенного децентрализованного подхода требуется создание бит-поточковых устройств, составляющих элементную базу внешних аппаратных модулей децентрализованных систем. Такие разработки ведутся как в России, так и за рубежом: разрабатываются отдельные преобразователи различных функций [3], [4], интегрированные преобразователи [5], а также специализированные бит-поточковые устройства для систем управления, предназначенные для локального использования [6].

Применение таких устройств облегчит согласование выходных сигналов от различных чувствительных элементов с цифровым вычислительным ядром.

В большинстве случаев чувствительные элементы формируют аналоговые выходные сигналы, что приводит к необходимости их преобразования в цифровую форму. При значительном удалении аналогового сенсора от вычислительного ядра целесообразно использовать не аналого-цифровое преобразование, а преобразование аналогового сигнала в частоту, так как передача частотных сигналов отличается повышенной помехоустойчивостью. Кроме того, среди чувствительных элементов широко представлены и сенсоры с частотным выходом, они осуществляют прямое преобразование физической аналоговой величины в числоимпульсный или широтно-модулированный сигнал [7]. Перспективы дальнейшего развития и внедрения чувствительных элементов частотного типа оцениваются положительно, чему во многом способствует объединение исследователей, разработчиков и крупных фирм-производителей датчиков в международную ассоциацию IFSA (International Frequency Sensor Association). Эта организация обеспечивает профессиональное обсуждение результатов исследований, обмен опытом в проектировании и технологиях в сфере разработки различных интеллектуальных датчиков с цифровым, частотным, времяимпульсным выходом, что будет способствовать увеличению количества и расширению номенклатуры выпускаемых частотных датчиков.

При использовании сенсоров часто требуется выполнять линеаризацию выходных сигналов, причем необходимо вычислять различные нелинейные функции.

Таким образом, разработка специализированных аппаратных модулей, выполняющих вычислительные преобразования бит-поточковых данных, является актуальной.

**Постановка задачи.** Традиционным способом обработки информации, получаемой от чувствительных элементов (сенсоров) с частотным выходом, являются прямые вычисления. Они предполагают преобразование всех данных в цифровую форму с последующим выполнением необходимых математических операций в соответствии с заданной функцией. Такие вычисления могут выполняться специально разработанными цифровыми вычислителями или программно на базе процессора. Результат, как правило, представляется в кодовой форме и передается в

устройство следующего уровня с использованием типовых последовательных интерфейсов или шинных соединений.

Альтернативное решение связано с применением отказоустойчивых следящих структур, обеспечивающих выполнение первичных функциональных преобразований бит-поточковой информации на основе интеграции процессов приема измерительной информации, ее обработки, а также выдачи результатов. Использование бит-поточковой формы представления данных делает возможной поэлементную обработку данных, выполняющуюся по мере поступления очередного бита потока. При этом операции различной сложности могут быть сведены к базису операций инкремент/декремент, а также операций, обеспечивающих изменение формы представления информации. В этом случае результат работы первичного функционального преобразователя формируется последовательно за счет плавного приближения к результату от его грубого к приближенному значению и далее к окончательному. Достигнув результата операции устройство переходит в режим его отслеживания, или в так называемый режим установившегося динамического равновесия. Результат представляется в бит-поточковой форме, что облегчает организацию передачи данных от первичного преобразователя в устройство обработки данных следующего уровня.

Первичные преобразователи могут вычислять различные функции: степенные, тригонометрические, логарифмические, а также их комбинации. Вид реализуемой функции определяется выходной характеристикой чувствительного элемента.

Необходимость вычисления функции корня квадратного связана с существованием датчиков, выходные сигналы которых необходимо дополнительно преобразовывать по функции извлечения корня. Такая зависимость требуется, например, при измерении расхода жидкости на основе перепада давления, так как между расходом и перепадом давления существует квадратичная зависимость. Аналогичную выходную характеристику имеют матрицы диодов в датчиках освещенности. В этих и других случаях для получения равномерной шкалы необходимо подключение преобразователя, извлекающего квадратный корень.

**Методы построения нелинейных бит-поточковых преобразователей.** При построении нелинейных бит-поточковых преобразователей для воспроизведения функциональных зависимостей могут использоваться приближенные и принципиально-точные методы.

Для реализации приближенных вычислений применяются различные аппроксимирующие выражения. Проектирование функционального преобразователя в таком случае разбивается на 2 этапа: поиск аппроксимирующей функции, удовлетворяющей заданным критериям, и ее аппаратная реализация. Основным критерием, определяющим эффективность аппроксимации для вычислительных задач, является погрешность аппроксимации. Поиск же аппаратно-реализуемого аппроксимирующего выражения проводится с учетом дополнительных ограничений на вид выражения, определяющихся используемой элементной базой.

Принципиально-точные преобразователи не обладают методической погрешностью и строятся с использованием методов определяющих дифференциальных уравнений, определяющих алгебраических уравнений (обратной функции) или с использованием элементов, имеющих заданную функцию преобразования.

**Структура бит-поточкового устройства извлечения корня.** Простота вычисления степенной функции позволяет реализовать устройство для извлечения квадратного корня на базе метода обратной функции. На схеме устройства (рис. 1) входной сигнал представлен потоком широтно-импульсных сигналов  $\Theta$ , а результирующие сигналы в кодовой  $N_{\text{ВЫХ}}$  и потоковых  $F_{\text{ВЫХ}}$  и  $\Theta_{\text{ВЫХ}}$  формах:

$$N_{\text{ВЫХ}} = a\sqrt{\Theta}, F_{\text{ВЫХ}} = b\sqrt{\Theta}, \Theta_{\text{ВЫХ}} = c\sqrt{\Theta},$$

где  $a, b, c$  – масштабные коэффициенты.

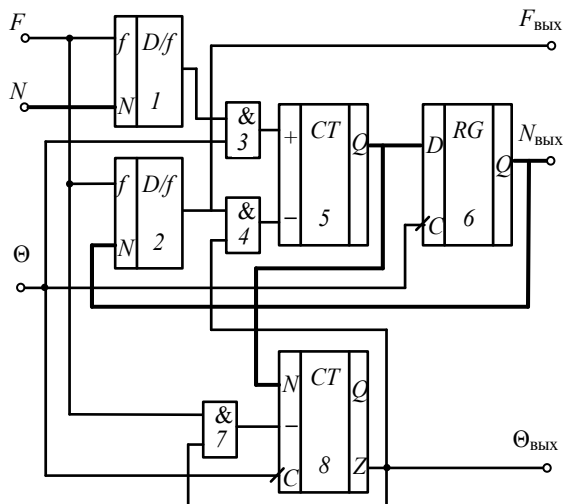


Рис. 1

Преобразование потока широтно-импульсных сигналов выполняется за счет использования функциональной запоминающей обратной связи, реализующей операцию возведения в квадрат. Для этого код, зафиксированный в цепи обратной

связи, одновременно преобразуется в поток широтно-импульсных сигналов и импульсный поток с последующей модуляцией этого импульсного потока широтно-импульсно-модулированными (ШИМ) сигналами.

Отказоустойчивость преобразования достигается за счет итерационного принципа усреднения битовых потоков с использованием следящей системы, реализующей выработку и автоматическую компенсацию сигналов рассогласования. Такой подход подробно рассмотрен в [8]. Квадратичная зависимость, реализованная в цепи обратной связи, обеспечивает преобразование входных сигналов в соответствии с функцией квадратного корня.

Временные диаграммы, иллюстрирующие работу устройства, представлены на рис. 2.

Для работы устройства сигнал «сброс» не требуется, но для удобства рассмотрения предположим, что реверсивные счетчики и регистр находятся в нулевом состоянии. На вход устройства подаются код  $N$ , импульсный поток с частотой  $F$  и поток широтно-импульсных сигналов с относительной длительностью  $\Theta$  (диаграммы  $F$  и  $\Theta$ , рис. 2).

Преобразователь кода в частоту  $1$  вырабатывает поток с частотой  $F_{D/f1}$  (диаграмма  $F_{D/f1}$ , рис. 2), со средним значением частоты за период работы устройства  $T$ , определяющимся следующим образом:

$$\overline{F_{D/f1}} = \frac{NF\Theta}{2^n}. \quad (1)$$

Появление на входе устройства ШИМ-сигнала с относительной длительностью  $\Theta$  обеспечивает прохождение битового потока через элемент 3 на суммирующий вход реверсивного счетчика 5.

Нулевой код, зафиксированный в регистре 6, обуславливает отсутствие импульсного потока в цепи обратной связи устройства на первом периоде  $T$  работы устройства, и, следовательно, на вычитающий вход реверсивного счетчика сигналы не поступают.

Изменение состояния счетчика  $CT5$  проиллюстрировано диаграммой  $N_{CT5}$  (рис. 2): при единичном значении сигнала  $\Theta$  содержимое счетчика инкрементируется, а когда сигнал  $\Theta$  становится равным нулю, импульсный поток блокируется, и счетчик сохраняет свое состояние до прихода следующего импульса  $\Theta$ .

Следующий импульс  $\Theta$  обеспечивает запись уже ненулевого кода с выхода счетчика  $CT5$  в

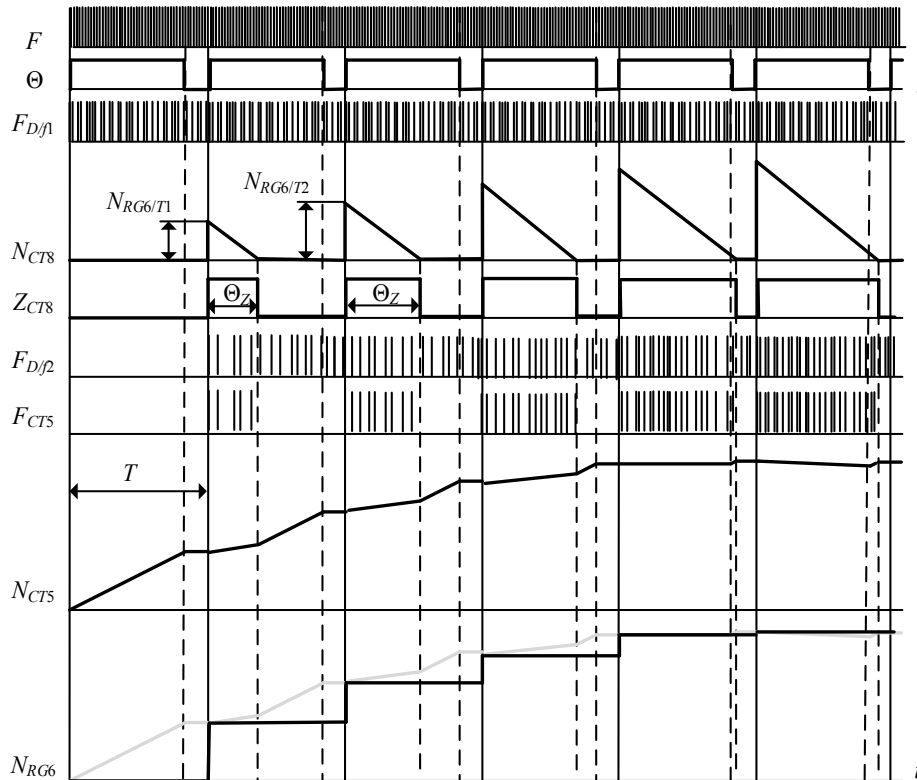


Рис. 2

регистр и во второй реверсивный счетчик (диаграммы  $N_{RG6}$ ,  $N_{CT8}$ , рис. 2). Так как на вход преобразователя 2 поступает ненулевой код, на его выходе появляется импульсный поток (диаграмма  $F_{D/f2}$ , рис. 2) с усредненной за период частотой, определяющейся выражением

$$\bar{F}_{D/f2} = \frac{N_{\text{ВЫХ}} F \Theta Z}{2^n}, \quad (2)$$

где  $\Theta_Z$  – выходной сигнал  $Z$  счетчика 8, а  $N_{\text{ВЫХ}}$  – выходной код регистра 6.

Выходной сигнал  $Z$  счетчика 8 принимает единичное значение при ненулевом значении кода в счетчике, как показано на диаграмме  $Z_{CT8}$  (рис. 2).

Удержание единичного значения входного широтно-импульсного сигнала обеспечивает прохождение импульсного потока на вход сложения реверсивного счетчика 5, что приводит к инкременту содержимого счетчика. При единичном значении сигнала  $\Theta_Z$  на вход вычитания реверсивного счетчика 5 поступает импульсный поток, сформированный преобразователем 2 (диаграмма  $F_{CT5}$ , рис. 2), что приводит к декременту содержимого счетчика 5. Длительность сигнала  $\Theta_Z$  определяется значением кода, записанного в счетчик 8 в начале периода.

По окончании действия широтно-импульсного сигнала  $\Theta$  прохождение импульсного потока через элемент И 3 блокируется, аналогичная блокировка потока через элемент И 4 происходит в тот момент, когда состояние реверсивного счетчика 8 станет нулевым (диаграмма  $Z_{CT8}$ , рис. 2). Сигнал  $Z$  заблокирует также поступление импульсов опорной частоты на вход вычитания реверсивного счетчика 8 через элемент И 7, что обеспечит сохранение его нулевого состояния до начала нового периода работы устройства.

С появлением на входе устройства следующего ШИМ-сигнала цикл работы устройства повторяется.

Условием динамического равновесия устройства является равенство приращений кодов суммирующих и вычитающих цепей реверсивного счетчика в течение периода работы устройства, т. е. равенство средних значений частот битовых потоков, поступающих на суммирующий и вычитающий входы счетчика.

Динамическое равновесие реверсивного счетчика 5 с учетом средних значений (1) и (2) частот потоков на суммирующем и вычитающем входах описывается выражением

$$\frac{NF\Theta}{2^n} = \frac{N_{\text{ВЫХ}} F \Theta Z}{2^n}. \quad (3)$$

При принятом соотношении периода входного ШИМ-сигнала  $T = 2^n / F$  значение  $\Theta_Z$  определяется как

$$\Theta_Z = \frac{N_{\text{ВЫХ}}}{2^n}. \quad (4)$$

Из выражения (3) с учетом (4) имеем

$$N\Theta = \frac{N_{\text{ВЫХ}}^2}{2^n}, \text{ откуда } N_{\text{ВЫХ}} = \sqrt{2^n N\Theta}.$$

С учетом функциональной характеристики преобразования код-частота на выходе преобразователя 2 сформируется импульсный поток со средней частотой

$$\bar{F}_{\text{ВЫХ}} = \frac{F\sqrt{2^n N\Theta}}{2^n} = b\sqrt{\Theta},$$

где

$$b = F \cdot 2^{-\frac{n}{2}} \sqrt{N}.$$

Результаты математического моделирования работы устройства приведены в таблице. Моделирование выполнялось при  $N = 200$  и  $\Theta = 0.36$ . Ожидаемый результат выполнения операции  $N_{\text{ВЫХ}} = 135.76$ .

Такт	N	F <sub>CTS+</sub>	N <sub>ВЫХ1</sub>	Θ <sub>Z</sub>	F <sub>CTS-</sub>	N <sub>ВЫХ2</sub>
1	200	72	0	0	0	72.00
2	200	72	72.00	0.28	20.25	123.75
3	200	72	123.75	0.48	59.82	135.93
4	200	72	135.93	0.53	72.18	135.75
5	200	72	135.75	0.53	71.99	135.77
6	200	72	135.77	0.53	72.00	135.76
7	200	72	135.76	0.53	72.00	135.76
8	200	100	135.76	0.53	72.00	163.76
9	200	72	163.76	0.64	104.76	131.00
10	200	72	131.00	0.51	67.04	135.96
11	200	72	135.96	0.53	72.21	135.75
12	200	72	135.75	0.53	71.99	135.77
13	200	72	135.77	0.53	72.00	135.76
14	200	72	135.76	0.53	72.00	135.76
15	200	72	135.76	0.53	72.00	135.76

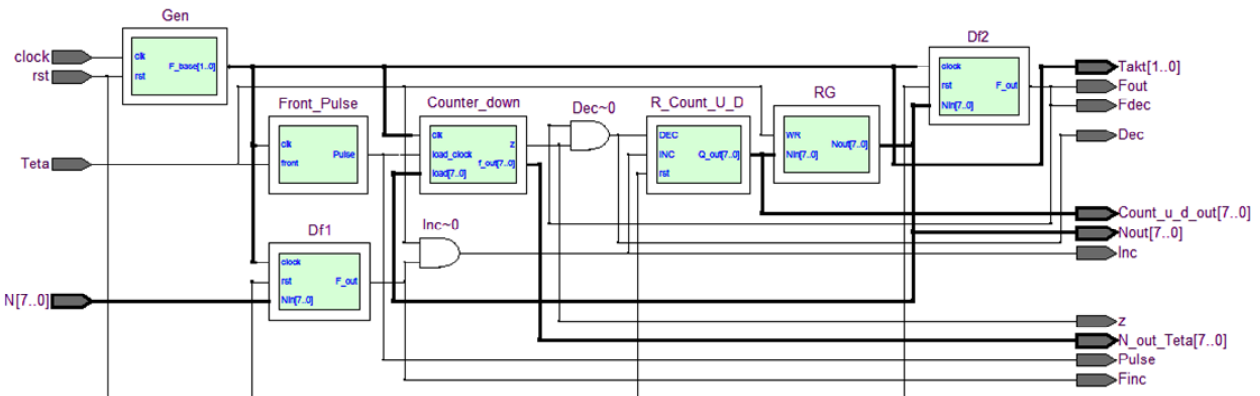


Рис. 3

Устройство достигло режима динамического равновесия на 6-м такте работы. На 8-м такте сформирована помеха, которая привела к увеличению входного сигнала до  $\Theta = 0.5$ . Обработку такого однократного воздействия устройство выполнило на 13-м такте, вернувшись в режим отслеживания.

**Реализация устройства извлечения корня.**

Устройство разработано в цифровом элементном базисе и легко может быть реализовано с использованием микросхем программируемой логики. Для реализации подготовлено описание устройства на языке VHDL [9]. В качестве синтезатора использована САПР Quartus II, графический вид логической реализации проекта (RTL-представление) показан на рис. 3.

В программе применен структурный подход, в качестве элементов использованы специально разработанные элементы: преобразователь кода в частоту (Df), вычитающий счетчик с предустановкой (Counter\_down), реверсивный счетчик с разделенными входами для инкремента/декремента (R\_Count\_U\_D), регистр (RG). Дополнительно разработан генератор для формирования расфазированных потоков, подаваемых на входы clock преобразователей кода в частоту, чтобы исключить одновременное поступление импульсов на суммирующий и вычитающий входы реверсивного счетчика. Также использован специализированный блок Front\_Pulse, формирующий короткий единичный импульс по положительному перепаду сигнала на входе clk. Описание устройства параметризованное, по умолчанию установлена разрядность 8 бит.

Результаты моделирования устройства представлены на рис. 4. Для упрощения контроля процессов, протекающих в устройстве при моделировании, кроме выходных сигналов N, Teta и clock на внешние контакты выведены внутренние сигналы проекта.

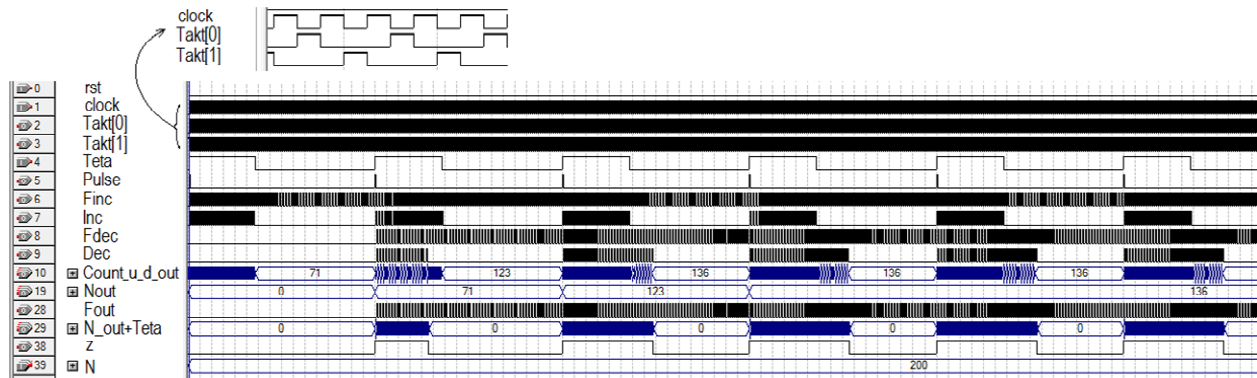


Рис. 4

Сигналы Finc и Fdec соответствуют выходным потокам преобразователей кода в частоту в цепи прямой и обратной связи соответственно; сигналы Inc и Dec – модулированные импульсные потоки, поступающие на входы реверсивного счетчика; Pulse – короткие импульсы, индицирующие начало нового такта работы преобразователя и формируемые при положительном фронте сигнала Teta. Расфазированные сигналы Takt [0] и Takt [1], получаемые на базе тактового сигнала clock, дополнительно показаны на рис. 4 в увеличенном масштабе.

Анализ временной диаграммы показывает, что работа устройства соответствует результатам, полученным при математическом моделировании. Отличие во временных параметрах – длительность выхода в установившийся режим в моделируемом устройстве оказалась меньше – объясняется работой синтезированной схемы с целочисленными значениями. При этом и результат оказался округленным.

Повысить точность работы можно масштабированием устройства: при проектировании необходимо предусмотреть дополнительные разряды с последующим их устранением из результата операции. При использовании масштабных коэффициентов, кратных  $2^n$ , масштабирование может быть реализовано операцией сдвига.

**Анализ результатов.** Разработанное устройство может применяться при обработке сигналов, представленных в потоковой форме: в качестве аргументов может выступать любой входной сигнал:  $F$  при заданных  $N$  и  $\Theta$ ,  $\Theta$  при постоянных  $N$  и  $F$ . При необходимости реализации следящих отказоустойчивых вычислений с аргументами, представленными в кодовой форме, сигнал  $N$

также может рассматриваться как аргумент с заданием фиксированных значений сигналов  $\Theta$  и  $F$ .

Устройство обладает хорошими показателями по отказоустойчивости, обусловленными использованными структурно-функциональными решениями. Будучи реализованным в цифровом элементном базисе, оно допускает использование программируемых логических интегральных схем, что будет способствовать повышению надежности на технологическом уровне. Важной особенностью потоковых устройств первичной обработки является их автономность. При проектировании систем реального времени на базе процессора, не допускающего многопоточное исполнение приложений, возникает проблема разделения времени между задачами. Использование независимых параллельно функционирующих устройств не требует постоянного вмешательства процессора, при этом такие устройства могут обеспечить своевременную реакцию на сигналы датчиков, обеспечивая надежность и на структурном уровне.

Применение предложенного устройства перспективно при решении задач удаленного контроля, так как использование сенсорных элементов с функциональным преобразователем, работающим без дополнительных преобразований форм представления информации, позволяет существенно упростить схемотехнику датчиков и минимизировать удельную стоимость канала измерения/контроля.

Предложенное устройство может быть использовано в качестве параметризованного модуля при построении микросистем потоковой обработки информации, создаваемых в ходе выполнения работ согласно государственному заданию Минобрнауки России (№ 8.2080.2017/4.6).

## СПИСОК ЛИТЕРАТУРЫ

1. Rixner S. Stream Processor Architecture. Norwell: Springer US, 2001. 120 p.
2. Bit-stream signal processing and its application to communication systems / H. Fujisaka, R. Kurata, M. Sakamoto, M. Morisue // IEEE Proceedings - Circuits, Devices and Systems. 2002. Vol. 149, № 3. P. 159–166.

3. Sorter-Based Arithmetic Circuits for Sigma-Delta Domain Signal Processing. Part I: Addition, Approximate Transcendental Functions, and Log-Domain Operations / H. Fujisaka, M. Sakamoto, C.-J. Ahn, T. Kamio, K. Haeiwa // IEEE Transactions on Circuits and Systems. 2012. Vol. 59, № 9. P. 1952–1965.

4. Алакоз Г. М., Добротворский А. С. Бит-потокное ассоциативное суммирование с разделяемой пространственно-временной реакцией // Нейрокомпьютеры: разработка, применение. 2011. № 4. С. 3–15.

5. Sorter-Based Arithmetic Circuits for Sigma-Delta Domain Signal Processing. Part II: Multiplication and Algebraic Functions / H. Fujisaka, M. Sakamoto, C.-J. Ahn, T. Kamio, K. Haeiwa // IEEE Transactions on Circuits and Systems. 2012. Vol. 59, № 9. P. 1966–1979.

6. Al-Makhles D., Patel N., Swain A. Bit-stream control system: Stability and experimental application // Intern. Conf. on Applied Electronics (AE). Pilsen, Czech Republic: IEEE, 2013. P. 1–6. URL: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6636470>.

7. Дробот П. Н., Дробот Д. А. Осцилляторные сенсоры с частотным выходом // Южно-Сибирский

науч. вестн. 2012. № 1. С. 120–123. URL: <http://vital.lib.tsu.ru/vital/access/manager/Repository/vtls:000450442>.

8. Assurance of Fault-Tolerance in Bit-Stream Computing Converters / A. I. Gulin, N. M. Safyannikov, O. I. Bureneva, A. Yu. Kaydanovich // Proc. of 16<sup>th</sup> IEEE East-West Design & Test Symposium (EWDTS'2018), Kazan, Russia, 2018. P. 418–421.

9. Свидетельство об официальной регистрации программы для ЭВМ № 2018660969. Программа бит-потокного устройства для извлечения квадратного корня / О. И. Буренева, О. А. Жирнова; заявл. 09.08.2018; зарег. 30.08.2018, опубл. 30.08.2018; правообладатель: Федеральное государственное автономное образовательное учреждение высшего образования «Санкт-Петербургский государственный электротехнический университет „ЛЭТИ“» им. В. И. Ульянова (Ленина)».

---

O. I. Bureneva, O. A. Zhirnova  
Saint Petersburg Electrotechnical University «LETI»

## BIT-STREAM DEVICE FOR COMPUTATION OF SQUARE ROOTS

*The traditional way of processing information received from the sensitive elements with frequency output is direct calculations. This way supposes the conversion of frequency signals into digital form and performing of the necessary mathematical operations. In the article an alternative solution based on the usage of fault-tolerant tracking structures is offered. Such devices perform bit-stream data processing as the each bit element is received. In this case, operations of varying complexity can be reduced to the basis of the increment/decrement operation and operations associated with the change of the data form. With the use of the proposed approach, a device for extracting a square root has been developed. In this article a diagram of the device and the order of its operation are presented. The result of model experiments with the use of VHDL description of this device and CAD Quartus II are shown.*

**Bit-stream conversions, structural organization of calculations, inverse function, basic elements, process integration, fault tolerance**

---

УДК 622.276.001

С. А. Даденков, Е. Л. Кон  
Пермский национальный политехнический университет

## Модель информационно-управляющей сети с алгоритмом случайного множественного доступа predictive p-persistent CSMA

*Разрабатывается модель информационно-управляющей сети с алгоритмом случайного множественного доступа с контролем несущей и прогнозированием сетевой нагрузки predictive p-persistent CSMA и способ оценки вероятностных и временных характеристик передачи информации. Объектом исследования является процесс информационного обмена в fieldbus-сетях LonWorks, BacNet с анализируемым алгоритмом. Цель исследования – повышение точности количественных оценок характеристик времени и надежности доставки информационных сообщений. Выполнен аналитический обзор научных публикаций, посвященных анализу характеристик сетей с алгоритмами случайного доступа, что позволило выявить используемые методы решения, а также степень проработанности проблемы. Использование полученной информации позволило выделить проблему учета в моделях ряда значимых параметров функционирования, а также выбрать эффективный математический аппарат для ее решения. В результате созданы модель сети с алгоритмом predictive p-persistent CSMA и способ оценки характеристик передачи информации, преимущественно отличающиеся от аналогов корректным учетом спорадической и разнородной по сервисам доставки сетевой нагрузки узлов.*

**Модель сети, случайный множественный доступ, вероятностные и временные характеристики, передача информации, промышленная сеть, полевая шина, сенсорная сеть, LonWorks, fieldbus, predictive p-persistent CSMA**

Алгоритмы случайного множественного доступа с контролем несущей широко распространены

и применяются в сетях с разделяемой (общей) средой передачи данных. В настоящее время слу-

---