

2. Построение иерархии частных показателей качества пользовательского интерфейса / Л. В. Агафонова, В. Д. Гусейнов, Н. А. Назаренко, Т. С. Осипова, П. И. Падерно, О. П. Сопина // Человеческий фактор: проблемы психологии и эргономики. 2013. № 4. С. 91–93.

3. Анохин А. Н., Назаренко Н. А. Проектирование интерфейсов // Биотехносфера. 2010. № 2 (8). С. 21–27.

4. Опыт проведения эргономической экспертизы специализированной человеко-машинной системы / Е. А. Бурков, Н. А. Назаренко, П. И. Падерно, О. П. Со-

пина // Материалы XII Всерос. совещ. по проблемам управления (ВСПУ-2014), Москва, 2014. С. 6362–6371.

5. Назаренко Н. А., Осетров А. В. Особенности эргономической оценки пользовательских интерфейсов // Биотехносфера. 2015. № 1 (37). С. 38–43.

6. Назаренко Н. А., Падерно П. И. Выбор шкал для оценки качественных и количественных показателей при эргономической экспертизе // Актуальные проблемы охраны труда: материалы IV Всерос. науч.-практ. конф. с междунар. участием. СПб.: Изд-во СПбГАСУ, 2018. 190 с.

N. A. Nazarenko

Saint Petersburg Electrotechnical University

METHODOLOGY FOR ESTIMATING THE LEVEL OF ERGONOMICITY OF AUTOMATED MANUFACTURING MANAGEMENT SYSTEMS

The detailed models of ergonomic quality of automated production control systems (APCS) are presented. A feature of the developed models is that they take into account only the factors that directly affect the efficiency of the operations of automated production control systems. Models are presented both graphically and using tuples. On the basis of these models, a methodology has been developed for assessing the level of ergonomics, which may be the methodological basis for the ergonomic examination of such systems at all stages of the life cycle of experimental development. A feature of the presented technique is that it takes into account both the possibility of unequal influence of certain groups of factors on the ergonomic quality of an APCS, and the conduct of several checks to evaluate a particular ergonomic characteristic. This allows us to obtain an estimate of the level of ergonomics with the required accuracy. Recommendations are also made for using the results obtained during the assessment.

Ergonomic expertise, assessment of the level of ergonomics, information systems of increased responsibility, information support for developers, man-machine system, automated production management system

УДК 004.3

О. И. Буренева, О. А. Жирнова

Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

Многофункциональный бит-поточковый преобразователь

Предлагается оригинальный подход к построению нелинейных бит-поточковых преобразователей, реализующих аппроксимирующие выражения, представленные отношением полиномов. Приведена обобщенная структурная схема устройства, в котором в качестве аргументов могут использоваться потоки широтно-импульсно-модулированных сигналов, а также числоимпульсные потоки. В соответствии с обобщенной схемой разработан многофункциональный нелинейный преобразователь широтно-импульсных сигналов, в котором коэффициенты аппроксимирующих выражений заданы в частотной форме, что допускает легкую смену функции, реализуемой устройством. Преобразователь обеспечивает вычисление полиномов второй степени за счет организации двух контуров обратных связей. Вычисления в устройстве выполняются за счет трехканального коммутирования импульсных потоков, сформированных на основании входных потоковых импульсных сигналов и двоичных кодов, с последующими функциональными преобразованиями в режиме итерационного усреднения. Приведен математический анализ переходных процессов, протекающих в устройстве, рассмотрен вариант реализации преобразователя на базе ПЛИС. Преобразователь может эффективно применяться при решении задач сбора и предварительной обработки квазицифровой информации от разнородных источников.

Бит-поточковые преобразования, структурная организация вычислений, обратная функция, базисные элементы

Появление новых методов решения типовых задач и создание новых базовых элементов для по-

строения вычислительных систем, как правило, становится актуальным тогда, когда появляются

новые архитектурные решения или происходит качественный скачок в области элементной базы. Современный этап развития вычислительных систем характеризуется наличием обоих факторов.

Разработка новых архитектур вызвана нарастающей сложностью задач, которым традиционные подходы к организации вычислений не соответствуют ни по производительности, ни по надежности.

В первую очередь это такие области, как сенсорика, интернет вещей, промышленный интернет, робототехника, биоэлектроника и другие, где актуальны сбор и преобразование информации от большого количества разнородных источников. Одно из направлений, связанных с созданием новых базовых элементов для построения вычислительных систем, предполагает разработку устройств, выполняющих преобразование битовых потоков – потоков, состоящих из импульсов электрической или иной природы с единичным значением амплитуды, у которых информативные параметры так или иначе связаны со временем. Это объясняется тем, что бит-поточковая форма эффективно применяется как в сенсорных интерфейсах, так и при формировании управляющих сигналов [1]–[3].

Бит-поточковые сигналы относят к категории квазицифровых: информация представляется непрерывно во временной области и при этом легко преобразуется в дискретные формы представления, например, в двоичные коды. Такая особенность позволяет применять при построении бит-поточковых преобразователей аналоговые подходы к вычислениям, реализуя их в базисе традиционных цифровых элементов.

В качестве эффективной элементной базы для реализации бит-поточковых устройств рассматриваются программируемые логические интегральные схемы. Их применение снимает значительное количество ограничений на сложность разрабатываемых преобразователей, позволяя при этом достичь максимальной технологической надежности и быстродействия.

Постановка задачи. Преобразователи бит-поточковой информации, выполняющие нелинейные преобразования, как правило, основаны на применении аппроксимирующих выражений. При классической реализации преобразователей, основанной на методах расчета с последующими вычислениями, могут использоваться различные приближения. Для бит-поточковых функциональных преобразователей, построенных на основе структурных реализаций выражений [4], наиболее

эффективно применение аппроксимирующих функций, представленных отношением полиномов, в общем случае имеющим вид

$$f(x) = \frac{P_n(x)}{Q_m(x)} = \frac{\sum_{i=0}^n a_i x^i}{\sum_{j=0}^m b_j x^j},$$

где $f(x)$ – аппроксимирующая функция; P_n , Q_m – многочлены аппроксимирующего выражения; n , m – степени полиномов числителя и знаменателя аппроксимирующего выражения; a_i , b_j – опорные коэффициенты.

Такие выражения, позволяющие реализовать широкий класс аппроксимирующих устройств, могут быть получены на основе метода рациональной аппроксимации аналитических функций Паде [5]. Устройства, выполняющие такие преобразования, как правило, отличаются простотой реализации и удовлетворительными динамическими характеристиками даже при невысоких степенях полиномов: m , $l < 3, 4$.

Опорные величины, определяемые коэффициентами a_i , b_j , могут быть заданы разными способами: с помощью двоичных кодов, в форме числоимпульсных последовательностей, с использованием весовых входов двоичных счетчиков. Задание опорных величин с использованием двоичных кодов приводит к неоправданному увеличению аппаратных затрат за счет необходимости дополнительных преобразований кодов в импульсные поточковые представления информации при реализации вычислений в бит-поточковой форме.

Использование весовых входов двоичных счетчиков позволяет получать максимально простые аппаратные преобразователи, но при этом существенно ограничивает возможности представления коэффициентов аппроксимирующих выражений за счет привязки к целым степеням числа 2.

Использование числоимпульсных последовательностей для задания опорных величин имеет следующие преимущества:

- позволяет минимизировать аппаратные затраты на реализацию устройства, в частности, за счет совмещения реализаций таких математических преобразований, как умножение, деление, масштабирование, путем задания определенного сочетания опорных частот;
- обеспечивает выбор опорных значений в широком диапазоне;
- допускает легкую настройку на реализацию различных аппроксимирующих полиномов.

Недостаток числоимпульсной формы задания опорных величин – необходимость точного задания частоты и обеспечения необходимого фазового сдвига. В настоящее время отмеченный недостаток легко компенсируется применением устройств стабилизации и селекции частоты [6].

Обобщенная структурная схема нелинейного бит-поточкового преобразователя. Преобразователь (рис. 1) ориентирован на обработку входных бит-поточковых данных: потоков импульсов с единичной амплитудой, характеризующихся количеством импульсов в единицу времени ($f_1 \dots f_i$) и потоков широтно-импульсно-модулированных (ШИМ) сигналов ($\Theta_1 \dots \Theta_i$). Константы, необходимые для масштабирования или формирования коэффициентов аппроксимирующих полиномов, могут представляться как в виде двоичных кодов ($N_1 \dots N_m$), так и в частотной форме ($f_1 \dots f_i$). Результаты вычислительных преобразований ($R_1 \dots R_v$) могут представляться в кодовой или в потоковой форме для передачи в вычислительное ядро или на соответствующие входы исполнительных механизмов управляющей системы.

Блок коммутации SW формирует пары $N-f$, которые поступают на входы преобразователей кода в частоту Df . Коммутатор SWf обеспечивает формирование положительных P_+ и отрицательных P_- потоков в устройстве. Количество контуров

обратных связей определяет максимальную степень полиномов аппроксимирующего выражения.

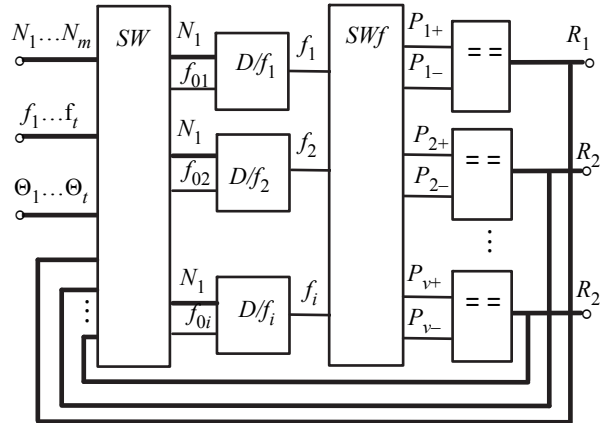


Рис. 1

Отрицательные обратные связи реализуют компенсационные механизмы и обеспечивают достижение состояния динамического равновесия [7]. Оно характеризуется равенством потоков $P_+ = P_-$, которое выявляется блоком сравнения и преобразования (=). В состоянии динамического равновесия значения $R_1 \dots R_v$ являются результатом преобразований.

Реализация многофункционального бит-поточкового преобразователя. Рассмотрим вариант реализации потокового многофункционального преобразователя компенсационного типа для ШИМ-сигнала Θ (рис. 2).

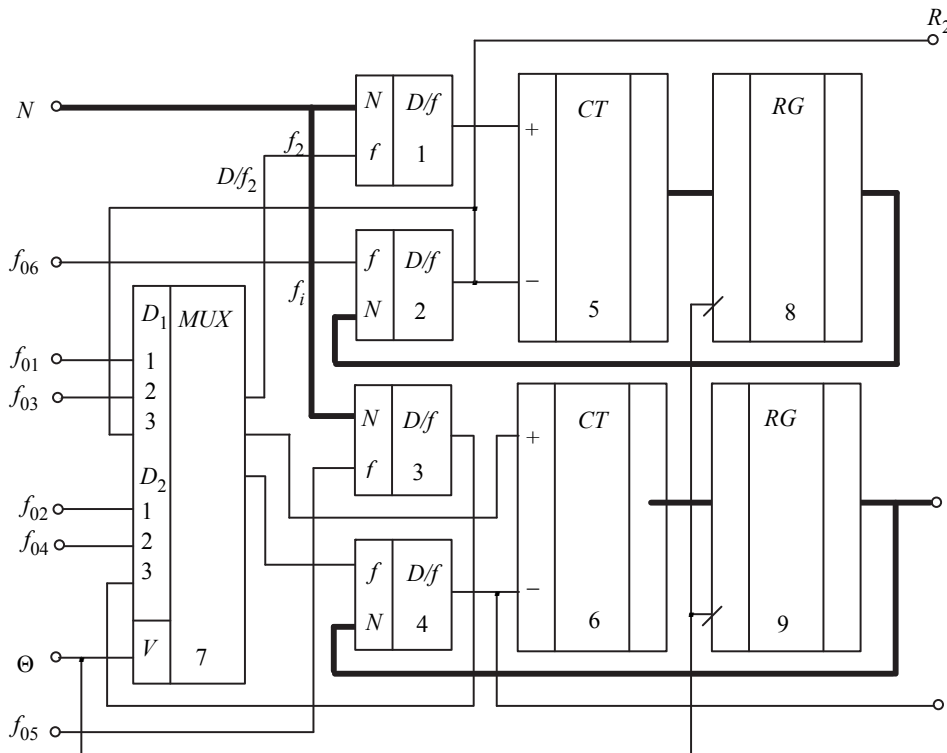


Рис. 2

Полином второй степени в устройстве формируется за счет двух контуров запоминающей отрицательной обратной связи, реализованных парами: двоичный реверсивный счетчик / регистр. На основе счетчика 5 и регистра 8 реализован первый контур, на основе счетчика 6 и регистра 9 – второй.

Преобразователь обеспечивает функциональное преобразование широтно-импульсных сигналов с реализацией итерационного усреднения за счет трехканального частотного коммутирования импульсных потоков и функционального обобщения процессов преобразования кода в частоту в цепях обратных связей. Работа устройства базируется на итерационном принципе усреднения битовых потоков. Преобразователь реализован как квазидигитальная следящая система, стремящаяся к устойчивому состоянию за счет наличия отрицательных обратных связей и обеспечивающая автоматическую компенсацию рассогласования потоков. В контурах обратной связи используются двоичные реверсивные счетчики, которые выявляют рассогласование в устройстве и вырабатывают соответствующий сигнал. Эти счетчики выполняют суммирование и вычитание битовых потоков и интегрируют полученную разность с выдачей результата в виде двоичного кода.

Для формирования заданного выражения организовано три коммутируемых канала опорных и внутренних битовых потоков. Для сокращения длительности переходного процесса в устройстве выполняется периодическая фиксация кодовых данных в контурах обратной связи с помощью регистров.

В качестве блока коммутации использован мультиплексор 7, который коммутирует на преобразователи кода в частоту (D/f) 1...4 различные частотные потоки – внешние $f_{01} \dots f_{04}$ и внутренние, полученные на основе потоков f_{05} и f_{06} . Эти потоки используются для формирования коэффициентов аппроксимирующего выражения. Порядок коммутации определяется значением входного ШИМ-сигнала Θ , подаваемого на адресный вход V мультиплексора.

Состояние установившегося динамического равновесия характеризуется равенством приращений кодов суммирующих и вычитающих цепей в каждом реверсивном счетчике в течение периода работы устройства. Такое равенство приращений соответствует равенству средних значений частот битовых потоков, поступающих на суммирующие и вычитающие входы счетчиков.

На суммирующий вход реверсивного счетчика 5 поступает импульсная последовательность, сформированная преобразователем кода в частоту 1, средняя частота этой последовательности определяется как $\overline{F_{+5}} = N \frac{f_{01}\Theta + f_{02}(1-\Theta)}{2^n}$, а на его вычитающий вход – импульсная последовательность с выхода преобразователя кода в частоту 2:

$$\overline{F_{-5}} = N_c \frac{f_{06}}{2^n},$$

где N_c – выходной код, снимаемый с регистра 8; n – разрядность преобразователей код–частота.

Из условия динамического равновесия реверсивного счетчика 5: $\overline{F_{+5}} = \overline{F_{-5}}$ имеем

$$N_c = N \frac{f_{01}\Theta + f_{02}(1-\Theta)}{f_{06}}. \quad (1)$$

На входы реверсивного счетчика 6 поступают импульсные последовательности с выходов преобразователей 3 и 4. На суммирующий вход – со средней частотой

$$\overline{F_{+6}} = \frac{f_{06}N_c\Theta}{2^n} + \frac{f_{05}N(1-\Theta)}{2^n},$$

а на вычитающий:

$$\overline{F_{-6}} = \frac{f_{04}(1-\Theta) + f_{03}\Theta}{2^n} N_z,$$

где N_z – выходной код, зафиксированный в регистре 9.

Условие динамического равновесия счетчика 6 характеризуется равенством $\overline{F_{+6}} = \overline{F_{-6}}$, откуда имеем

$$N_z = \frac{N_c f_{06} \Theta + N f_{05} (1 - \Theta)}{f_{04} (1 - \Theta) + f_{03} \Theta}.$$

С учетом выражения (1) получаем функциональную характеристику устройства

$$N_z = N \frac{\Theta [f_{01}\Theta + f_{02}(1-\Theta)] + f_{05}(1-\Theta)}{f_{03}\Theta + f_{04}(1-\Theta)}.$$

Проведем анализ динамических характеристик переходного процесса в устройстве отдельно для каждого контура запоминающей обратной связи. Время достижения устройством режима динамического равновесия будет определяться суммой длительностей переходных процессов в обоих контурах, что является наихудшим случаем. Реально переходные процессы в обоих контурах обратных связей происходят пошагово-параллельно, а значит быстрее.

После первого периода работы устройства код, сформированный реверсивным счетчиком 5 и зафиксированный в регистре 8, определится следующим образом:

$$N_{c1} = N_{c0} + N \frac{f_{01}\Theta + f_{02}(1-\Theta)}{2^n} - N_{c0} \frac{f_{06}}{2^n},$$

где N_{c0} – начальное значение выходного кода, зафиксированное в регистре 8.

Определив $k_1 = \frac{f_{01}}{2^n}$, $k_2 = \frac{f_{02}}{2^n}$, $k_6 = \frac{f_{06}}{2^n}$, получаем равенство

$$N_{c1} = N_{c0} + N[k_1\Theta + k_2(1-\Theta)] - N_{c0}k_6,$$

что эквивалентно

$$N_{c1} = N_{c0}(1-k_6) + N[k_1\Theta + k_2(1-\Theta)]. \quad (2)$$

К концу второго периода работы устройства в регистре 8 будет зафиксирован следующий код:

$$N_{c2} = N_{c1}(1-k_6) + N[k_1\Theta + k_2(1-\Theta)]. \quad (3)$$

Подставляя равенство (3) в (2) и выполняя несложные математические преобразования, имеем

$$N_{c2} = N_{c0}(1-k_6)^2 + N[k_1\Theta + k_2(1-\Theta)](1-k_6) + N[k_1\Theta + k_2(1-\Theta)]. \quad (4)$$

Код, сформированный реверсивным счетчиком 5 и зафиксированный в регистре 8 по окончании третьего периода работы устройства, определяется равенством

$$N_{c3} = N_{c2}(1-k_6) + N[k_1\Theta + k_2(1-\Theta)].$$

Подставляя в последнее равенство выражение (4), имеем

$$N_{c3} = N_{c0}(1-k_6)^3 + N[k_1\Theta + k_2(1-\Theta)](1-k_6)^2 + N[k_1\Theta + k_2(1-\Theta)](1-k_6) + N[k_1\Theta + k_2(1-\Theta)].$$

По окончании i -го периода работы в регистре 8 будет зафиксирован код

$$N_{ci} = N_{c0}(1-k_6)^i + N[k_1\Theta + k_2(1-\Theta)] \times \\ \times (1-k_6)^{i-1} + \dots + N[k_1\Theta + k_2(1-\Theta)](1-k_6)^2 + \\ + N[k_1\Theta + k_2(1-\Theta)](1-k_6) + N[k_1\Theta + k_2(1-\Theta)].$$

Второе слагаемое этого выражения характеризуется геометрической прогрессией с основанием $q = 1 - k_6$ и может быть представлено суммой

$$S = \frac{N[k_1\Theta + k_2(1-\Theta)][1 - (1-k_6)^{i-1}]}{1 - 1 + k_6}.$$

Таким образом, код в регистре 8 в произвольный период работы устройства t определяется как

$$N_{ct} = N_{c0}(1-k_6)^t + \\ + \frac{N[k_1\Theta + k_2(1-\Theta)][1 - (1-k_6)^{t-1}]}{k_6}.$$

Коэффициент k_6 находится в диапазоне $0 < k_6 \leq 1$, благодаря тому что для корректной работы преобразователя код-частота количество импульсов опорной частоты f_{06} за период следования ШИМ-сигнала не превышает 2^n . Из приведенного неравенства следует, что $(1 - k_6)^{t-1}$ стремится к нулю, т. е.

$$\lim_{t \rightarrow \infty} [1 - (1-k_6)^{t-1}] = 0.$$

Используя последнее равенство, а также равенство $N_{c0} = 0$, получаем передаточную характеристику дополнительного контура цепи запоминающей обратной связи в установившемся режиме

$$N_c = N \frac{k_1\Theta + k_2(1-\Theta)}{k_6}. \quad (5)$$

Анализ характеристик переходного процесса в главном контуре обратной связи проведем, используя конечный результат работы дополнительного контура, т. е. приняв $N_c = \text{const}$. Это допустимо, так как числовой ряд, образованный последовательностью состояний кода в регистре 8, сходится.

После первого периода работы устройства код, зафиксированный в регистре 9 с выходов реверсивного счетчика 6, определится следующим образом:

$$N_{z1} = N_{z0} + N_c \frac{f_{06}\Theta}{2^n} + \\ + N \frac{f_{05}(1-\Theta)}{2^n} - N_{z0} \frac{f_{04}(1-\Theta) + f_{03}\Theta}{2^n},$$

где N_{z0} – значение выходного кода, зафиксированное в регистре 9 в момент начала работы.

$$\text{Определив } k_3 = \frac{f_{03}}{2^n}, \quad k_4 = \frac{f_{04}}{2^n}, \quad k_5 = \frac{f_{05}}{2^n},$$

приведем последнее равенство к следующему виду:

$$N_{z1} = N_{z0} + N_c k_6 \Theta + N k_5 (1 - \Theta) - \\ - N_{z0} [k_4 (1 - \Theta) + k_3 \Theta].$$

Это равенство может быть упрощено следующим образом:

$$N_{z1} = N_{z0}[1 - k_4(1 - \Theta) - k_3\Theta] + N_c k_6 \Theta + N k_5(1 - \Theta).$$

Для сокращения последующих выражений используем подстановку

$$A = 1 - k_4(1 - \Theta) - k_3\Theta \text{ и } B = N k_5(1 - \Theta),$$

благодаря чему имеем

$$N_{z1} = N_{z0}A + N_c k_6 \Theta + B. \quad (6)$$

После второго периода работы устройства в регистре 9 будет сформирован следующий код:

$$N_{z2} = N_{z1}A + N_c k_6 \Theta + B. \quad (7)$$

Подставляя равенство (6) в (7), имеем

$$N_{z2} = (N_{z0}A + N_c k_6 \Theta + B)A + N_c k_6 \Theta + B,$$

упрощая, получаем

$$N_{z2} = N_{z0}A^2 + N_c k_6 \Theta A + AB + N_c k_6 \Theta + B. \quad (8)$$

Код, сформированный реверсивным счетчиком 6 и зафиксированный в регистре 9 по окончании третьего периода работы устройства, определяется равенством

$$N_{z3} = N_{z2}A + N_c k_6 \Theta + B,$$

подставляя в которое (8), получаем

$$N_{z3} = N_{z0}A^3 + (N_c k_6 \Theta + B)A^2 + (N_c k_6 \Theta + B)A + (N_c k_6 \Theta + B).$$

По окончании i -го периода работы в регистре 9 будет зафиксирован код

$$N_{zi} = N_{z0}A^i + (N_c k_6 \Theta + B)A^{i-1} + \dots + (N_c k_6 \Theta + B)A + (N_c k_6 \Theta + B).$$

Второе слагаемое этого выражения характеризуется геометрической прогрессией с основанием $A = 1 - k_4(1 - \Theta) - k_3\Theta$ и может быть представлено суммой

$$S = \frac{(N_c k_6 \Theta + B)(1 - A^{m-1})}{1 - A},$$

что соответствует

$$S =$$

$$= \frac{[N_c k_6 \Theta + N k_5(1 - \Theta)] [1 - (1 - k_4(1 - \Theta) - k_3\Theta)^{m-1}]}{1 - k_4(1 - \Theta) - k_3\Theta}.$$

Таким образом, код на выходе устройства в произвольный период m определяется как

$$N_{zm} = N_{z0}A^m + \frac{[N_c k_6 \Theta + N k_5(1 - \Theta)] [1 - (1 - k_4(1 - \Theta) - k_3\Theta)^{m-1}]}{1 - k_4(1 - \Theta) - k_3\Theta}.$$

Коэффициенты аппроксимации					Аппроксимирующее выражение	Пределы изменения аргумента	Аппроксимирующая функция	Приведенная погрешность, %
f_{01}/f_{06}	f_{02}/f_{06}	f_{03}/f_{06}	f_{04}/f_{06}	f_{05}/f_{06}				
1.318	0.908	1.316	0.316	0.041	$\frac{0.041 + 0.867\Theta + 0.4\Theta^2}{0.316 + \Theta}$	[0.1; 1]	$\sqrt{\Theta}$	0.12
1.251	0.993	1.250	0.25	0.67	$\frac{0.067 + 0.926\Theta + 0.258\Theta^2}{0.25 + \Theta}$	[0.1; 1]	$\sqrt[3]{\Theta}$	0.1
1.1081	0.9469	3.0	2.0	2.003	$\frac{2.003 - 1.0561\Theta + 0.1612\Theta^2}{2 + \Theta}$	[0; 1]	$e^{-\Theta}$	0.15
0.2032	0.1186	0.1316	1.13162	0.0	$\frac{1.1186\Theta - 0.9154\Theta^2}{1.1316 - \Theta}$	[0.1; 7]	$\arcsin \Theta$	0.1
1.11916	1.9077	0.953	1.953	0.0	$\frac{1.9077\Theta - 0.78854x^2}{1.953 - \Theta}$	[0;1]	$\text{sh } \Theta$	0.2
1.12464	1.76496	0.78681	1.78881	0.0	$\frac{1.76496\Theta - 0.64626\Theta^2}{1.78881 - \Theta}$	[0;1]	$x\sqrt{1 - \Theta^2}$	0.7
0.4961	0.34548	2.7053	1.7053	0.0	$\frac{0.2458\Theta - 0.25062\Theta^2}{1.7053 - \Theta}$	[0;1]	$\log 2(1 - \Theta)$	0.00068
7.71887	7.22306	3.85939	4.359391	4.859558	$\frac{4.859558 + 2.36351\Theta + 0.4958035\Theta^2}{4.859391 - \Theta}$	[0;1]	2^Θ	0.0025
4.016	5.016	5.003	0.0	0.0	$\frac{5.016 - \Theta^2}{5.003\Theta}$	[0; 0.7]	$\frac{1}{\arcsin \Theta}$	0.15

Учитывая, что на значения k_3 и k_4 накладываются такие же ограничения, как и на коэффициент k_6 , можно записать следующие неравенства: $0 < k_3 \leq 1$, $0 < k_4 \leq 1$. Учитывая, что $0 < \Theta \leq 1$ и, следовательно, $0 < (1 - \Theta) \leq 1$, имеем $0 < k_3 \Theta \leq 1$ и $0 < k_4 (1 - \Theta) \leq 1$, откуда получаем

$$\lim_{(m-1) \rightarrow \infty} [1 - (1 - k_4(1 - \Theta) - k_3\Theta)]^{m-1} = 1.$$

Таким образом, в установившемся режиме передаточная характеристика местного контура цепи запоминающей обратной связи устройства с учетом $N_{z0} = 0$ будет иметь вид

$$N_z = \frac{N_c k_6 \Theta + N k_5 (1 - \Theta)}{k_4 (1 - \Theta) + k_3 \Theta}.$$

Подставляя в последнее равенство выражение (5), имеем

$$N_z = N \frac{\Theta [f_{01} \Theta + f_{02} (1 - \Theta)] + f_{05} (1 - \Theta)}{f_{03} \Theta + f_{04} (1 - \Theta)}.$$

Предлагаемое устройство обладает широкими функциональными возможностями. В таблице приведены результаты минимаксных аппроксимаций для ряда элементарных функций, воспроизводимых предложенным устройством для функционального преобразования ШИМ-сигналов.

Аппаратная реализация преобразователя.

Разработанный преобразователь построен в базе цифровых элементов, поэтому легко может имплементироваться в программируемую логическую интегральную схему. Для имплементации разработано языковое описание параметризованного преобразователя на языке VHDL. Его RTL-представление для 8-разрядной реализации, полученное синтезирующей САПР Quartus II, приведено на рис. 3.

Благодаря структурной реализации вычислений, несмотря на то что в аппроксимирующих выражениях используются «неудобные» для реализации операции умножения и деления, устройство имплементируется в микросхемы класса CPLD, где отсутствуют специальные аппаратные вычислительные блоки. Проект компилировался для микросхемы EPM240T100C3 семейства MAX II, для его реализации было задействовано 115 логических ячеек, что составляет 48 % от общей логической емкости.

Опорные частоты могут быть сформированы с использованием кварцевых генераторов или соответствующих цифровых делителей частоты. Опорные величины, соответствующие коэффициентам аппроксимирующих выражений, могут задаваться и в кодовой форме. В этом случае на входе устройства соответственно используются преобразователи кода в частоту, обеспечивающие формирование необходимого набора значений.

Реализация аппроксимирующих функций, выраженных отношением полиномов второй и первой степени классическим методом, потребует применения микросхем класса FPGA, так как для выполнения умножения и деления необходимы соответствующие аппаратные блоки. В целом для проекта понадобятся: три двоичных умножителя для вычисления одночленов числителя, два сумматора для вычисления многочлена числителя, сумматор для вычисления знаменателя, а также делитель для вычисления аппроксимирующей функции. Для преобразования значения входного ШИМ-сигнала Θ в двоичный код необходимо использовать двоичный счетчик и регистр-защелку.

Экспериментальные исследования спроектированного устройства подтвердили его функциональные возможности.

В статье предложен подход к организации бит-поточковых функциональных преобразователей, обеспечивающих обработку сигналов, представленных в потоковых и кодовых формах.

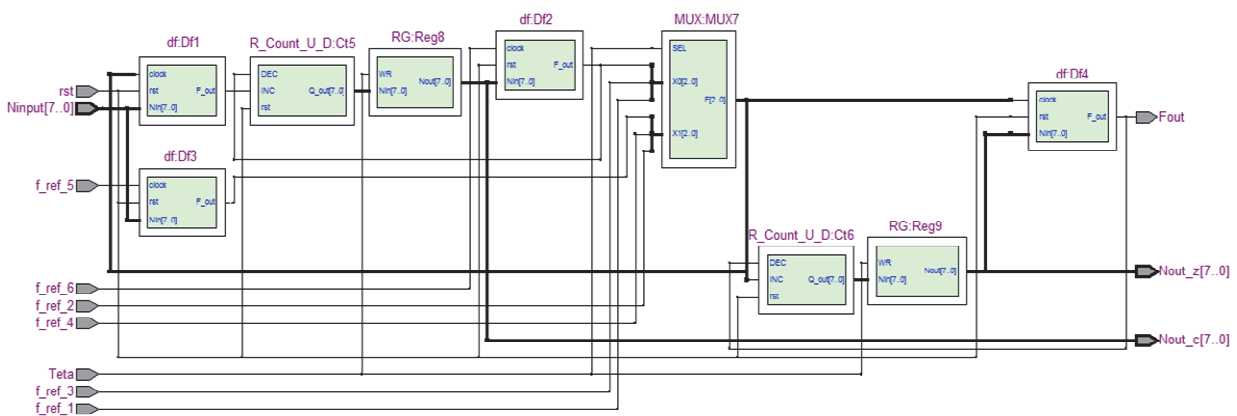


Рис. 3

В преобразователе вычисление функции, представленной отношением полиномов, производится в потоковой форме без выполнения арифметических действий, что позволяет обойтись без использования аппаратных умножителей, делителей и сумматоров, минимизируя тем самым аппаратные затраты на реализацию. Базисом для реализации подобных устройств являются простейшие логические элементы, преобразователи кода в частоту, реверсивные счетчики, регистры.

Преобразователь спроектирован в цифровом элементном базисе, что позволяет реализовывать его с применением программируемых логических интегральных микросхем.

Использование отрицательных обратных связей обеспечивает срабатывание компенсационных

механизмов, что повышает помехоустойчивость вычислений: внешние и внутренние сбои могут быть выявлены в процессе работы и нейтрализованы без использования специальных методов.

В рамках предложенного подхода рассмотрен вариант реализации многофункционального, основанного на использовании аппроксимирующей функции преобразователя, позволяющего получать широкий набор элементарных функций в зависимости от заданных значений опорных частот. Это устройство отражает специфику реализации нелинейных потоковых преобразователей. Будучи цифровым устройством, преобразователь может быть реализован на базе PLD, его универсальность допускает изготовление и в виде ASIC.

СПИСОК ЛИТЕРАТУРЫ

1. Cannillo F., Toumazou C., Lande T. S. Bit Stream Processing for Delta-Sigma FM-to-Digital Converters // IEEE Intern. Symposium on Circuits and Systems (ISCAS 2006). Island of Kos, Greece, 2006. P. 4899–4902.

2. Dhafer Al-Makhles, Nitish Patel, Akshya Swain. Bit-stream control system: Stability and experimental application // Intern. Conf. on Appl. Electronics. Czech Republic, Pilsen, 2013. P. 1–6.

3. Буренева О. И., Жирнова О. А. Бит-потокное устройство извлечения квадратного корня // Изв. СПбГЭТУ «ЛЭТИ». 2019. № 2. С. 26–32.

4. Bureneva O. I. Stream tracking devices for soft measurements implementation // Proc. of 2017 XX IEEE Intern. Conf. on Soft Computing and Measurements

(SCM 2017). Russia, SPb, Saint Petersburg Electrotechnical University, 2017. P. 614–616.

5. Kumar P., Prasad R. Controller design using Pade approximation and mixed methods // Intern. J. of Computer Technology and Applications. 2012. Vol. 3, № 4. P. 1504–1509.

6. Dhafer Al-Mmakhles, Akshya Swain, Nitish Patel. Stability and Performance Analysis of Bit Stream Based Feedback Control Systems // IEEE Transactions on Industrial Electronics. 2014. Vol. 62 (7). № 7. P. 4319–4327.

7. Qingjin Du, Jingcheng Zhuang, Tad A. Kwasniewski. A Low Phase Noise Dll Clock Generator with a Programmable Dynamic Frequency Divider // Canadian Conf. on Electrical and Computer Engineering. Canada, Ottawa, 2006. P. 701–704.

O. I. Bureneva, O. A. Zhirnova
Saint Petersburg Electrotechnical University

MULTIFUNCTIONAL BIT STREAM CONVERTER

Authors suppose an original approach to the construction of nonlinear bit-streams converters is shown. The converters realize approximating expressions represented by the relation of polynomials. In the article a generalized scheme of the devices is presented, in which pulse-width modulated signal flows, as well as numerical pulse flows, can be used as arguments. In accordance with the generalized scheme, a multifunctional nonlinear converter of pulse-width signals is developed. In converter the coefficients of approximating expressions are given in the frequency form, it allows for easy change of the function implemented by the device. The converter provides calculation of polynomials of the second degree due to the organization of two loops of feedbacks. Calculations in the device are performed by means three-channel switching of pulse streams formed on the base of input stream pulse signals and binary codes, followed by functional transformations in the mode of iterative averaging. The article presents a mathematical analysis of the transients occurring in the device, the variant of implementation of the converter on the base of FPGA is considered. The converter can be effectively used in solving problems of collection and preliminary processing of quasi-digital information from heterogeneous sources.

Bit stream conversions, structural organization of calculations, inverse function, basic elements