УДК 621.3.049.77.001.2

С. Э. Миронов, Л. Е. Андреев

СХЕМНАЯ ВЕРИФИКАЦИЯ ТОПОЛОГИИ ЯЧЕЕК БИС

Приведено описание разработанной программной системы схемотопологической верификации ячеек БИС.

Верификация топологии, ячейки БИС, схемы электрические

Особенности проектирования современных микроэлектронных изделий. Отличительной особенностью современного проектирования является постоянный и все ускоряющийся рост уровня сложности реализуемых проектов. Проявляется она в усложнении схем, увеличении числа ячеек и количества их типов, расширении номенклатуры изделий, а также в ужесточении требований к срокам проектирования.

С ростом сложности и числа проектов возрастает вероятность возникновения ошибок и все более значимой становится роль средств верификации результатов, получаемых на различных этапах проектирования, а разработка и постоянное совершенствование таких программных средств становится одной из основных задач автоматизации проектирования интегральных схем [см. лит.].

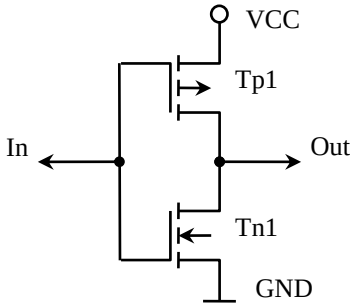
Одним из таких программных продуктов являются средства схемотопологической верификации, предназначенные для проверки соответствия топологии электрической схеме разрабатываемого устройства. Такая верификация носит поэтапный иерархический характер, в основе которого лежит верификация базовых компонентов устройства – ячеек, из которых в свою очередь собираются отдельные модули, блоки и, в конечном счете, устройство в целом. Схемотопологической верификации ячеек КМОП БИС и посвящена данная статья.

Основные задачи схемотопологической верификации ячеек БИС. Любая КМОП-ячейка представляет собой совокупность активных элементов (транзисторов *p*- и *n*-типа) и связей между ними. Таким образом, средства схемотопологической верификации должны проверять соответствие транзисторов и связей в схемах и топологиях.

В качестве исходных данных о топологии и схеме, которые нужно сравнить между собой, для описываемого программного продукта выступают текстовые файлы описания топологии и электрических цепей рассматриваемой ячейки БИС.

Описание топологии, состоящее из описания геометрических фигур в различных топологических слоях и операторов текстовых меток, задающих имена и номера узлов схемы, должно быть выполнено в соответствии со стандартами языка CIF.

В качестве описания электрической схемы используется ее net-list – текстовое описание входящих в состав схемы транзисторов со строго регламентированной последовательностью перечисления их выводов (сток, затвор, исток, подложка), подготовленное для электрического моделирования на одной из многочисленных разновидностей наиболее распространенных программ электрического моделирования с нелинейной аппроксимацией SPICE [см. лит.], где транзисторы и связи между ними также описываются с помощью имен или номеров узлов схем. В качестве примера на рис. 1 приведены схема инвертора и соответствующий ей net-list.




```
Tp1     Out  In  VCC  VCC  MbreakP
+ L=1.2u
+ W=8u

Tn1     Out  In  GND  GND  MbreakN
+ L=1.2u
+ W=8u
```

Рис. 1

Однако схемотопологическая верификация помимо собственно сравнения описаний на двух языках включает в себя еще целый ряд задач, связанных с преобразованием описания топологии ячейки, выявлением областей, внутри которых установлены соответствующие топологическим слоям метки-имена (или номера) узлов, анализом связей между элементами топологического чертежа.

Преобразования исходного описания топологии ячейки. Процесс установления соответствия между элементами топологии и схемы начинается с преобразования активных областей транзисторов (рис. 2). Как видно из рис. 2, *а*, на топологических чертежах активные области изображаются единым контуром, пересекаемым шинами затворов. В этом случае получается, что одна и та же область отмечена несколькими (на рис. 2 – двумя) разными именами (или номерами). Во избежание подобных коллизий активные области транзисторов нужно разбивать на части затворными шинами.

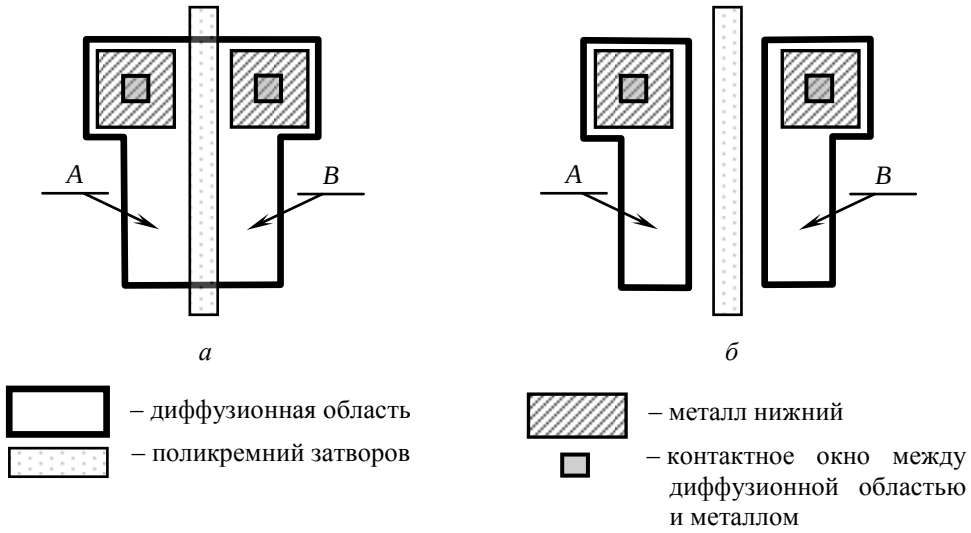


Рис. 2

Однако топология может собираться и из различных компонентов, накладывающихся друг на друга. В качестве примера на рис. 3, *а* это продемонстрировано на металлических шинах. В связи с этим во избежание появления непомеченных элементов топологии (рис. 3, *б*) необходимо объединять относящиеся к одному топологическому слою области чертежа (рис. 3, *в*). Это позволит в каждом из топологических слоев выделить области, находящиеся под одним потенциалом.

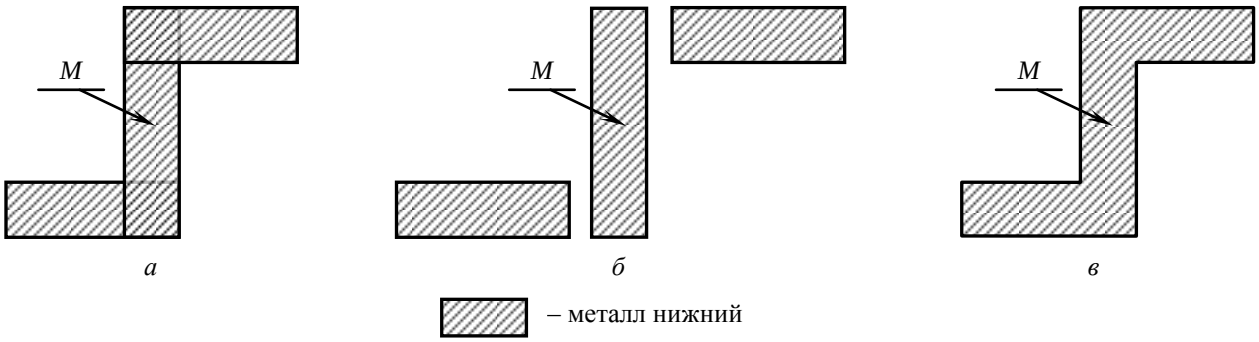


Рис. 3

Поиск элементов под одним потенциалом в разных топологических слоях. Под одним потенциалом могут находиться и элементы топологии, расположенные в разных топологических слоях, поэтому в разработанной системе верификации предусмотрены операции по поиску межслойных связей между элементами топологического чертежа. Соответствующие процедуры выявляют помеченные элементы топологии и осуществляют поиск межслойных контактов к ним. В случае их обнаружения связанным через контакт элементам в новом слое ставится в соответствие имя (или номер), которым был помечен исходный элемент.

Переходов со слоя на слой может быть довольно много. В приведенном на рис. 4 примере топологии мультиплексора «4 в 1» таких переходов в цепи сигнала *C* – четыре.

Это переходы:

– с общей активной области транзисторов Tn1 и Tn2, помеченной меткой «*C*», на верхнюю горизонтальную шину нижнего металла;

– с верхней горизонтальной шины нижнего металла на вертикальную шину поликремния;

– с вертикальной шины поликремния на нижнюю горизонтальную шину нижнего металла;

– с нижней горизонтальной шины нижнего металла на общую активную область транзисторов Tn3 и Tn4.

При обнаружении связанных межслойными переходами элементов топологического чертежа, помеченных разными именами (или номерами), программа выдает сообщение об ошибке с указанием имен и координат конфликтующих меток.

На данном этапе программа осуществляет также поиск непомеченных и неподключенных ни к чему соединительных шин и активных областей транзисторов и при их нахождении сообщает об их положении и топологическом слое.

Таким образом, результатом работы системы схемотопологической верификации ячеек БИС на этом этапе, который можно назвать этапом разметки топологии, является установление во внутреннем представлении топологии в системе соответствия между элементами топологии ячейки и именами (или номерами) узлов электрической схемы.

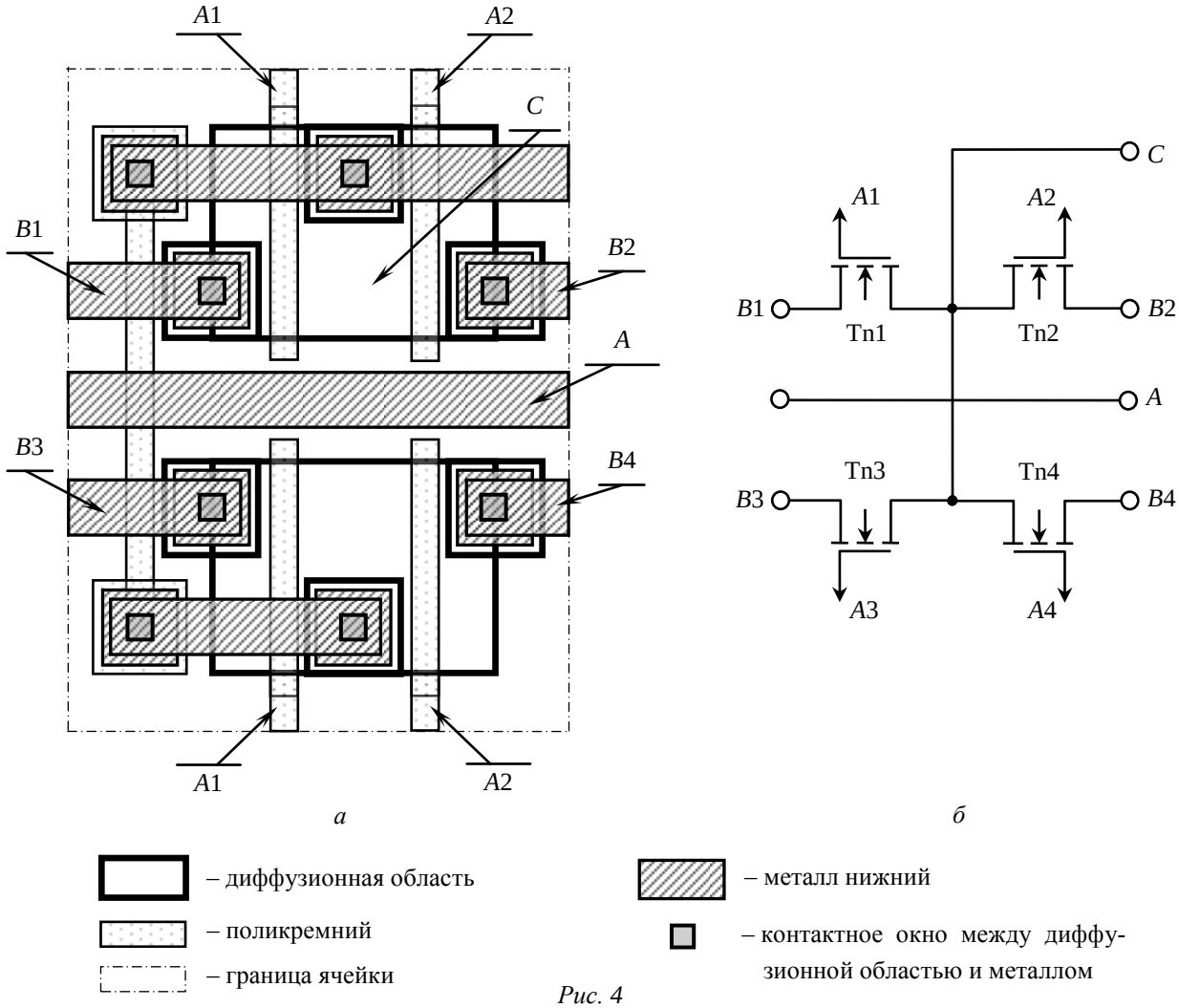


Рис. 4

Проверка соответствия транзисторов в описании топологии и в схеме ячейки. Как видно из изложенного ранее, проверка топологии на соответствие схеме начинается уже на первых этапах работы программы. Однако только после подготовительных этапов, завершающихся разметкой топологи, начинается собственно этап сравнения топологического и электрического описаний ячейки, состоящий в поиске в топологии комбинации поименованных элементов, соответствующих транзисторам из net-list.

Программа последовательно просматривает текстовые описания транзисторов и для каждого из них осуществляет поиск составных частей транзистора в топологии в соответствии со следующим алгоритмом.

Из текстового описания очередного транзистора, взятого из SPICE net-list, извлекаются имена (или номера) его выводов, начиная с первого из них – стока (в примере на рис. 1 – «Out»).

Во внутреннем представлении описания топологии осуществляется поиск активных областей, отмеченных этим именем. Для найденных областей определяются граничащие с ними затворы транзисторов. Из сформированного списка пар активных областей и затворов выбираются те, имена затворов в которых совпадают с именем затвора (второго вывода) рассматриваемого транзистора в текстовом описании схемы.

После этого для отобранных пар топологических элементов «сток–затвор» по меткам в топологии определяются имена соседствующих с ними активных областей и сравниваются с именем истока (третьего вывода) транзистора из net-list-a.

Комбинация элементов топологического чертежа, метки которой соответствуют именам выводов искомого транзистора, помечается как «найденная». Система верификации переходит к описанию очередного транзистора из net-list-a, и процесс идентификации транзисторов повторяется до окончания текстового описания электрической схемы.

По окончании процесса проверки в случае отсутствия в топологии описанных в net-list-е элементов выдается сообщение об ошибке с электрическим описанием недостающих транзисторов, а при наличии в топологии «лишних» транзисторов – сообщение об ошибке с топологическим их описанием.

Направление дальнейшего развития средств схемотопологической верификации ячеек БИС. Использование программных средств схемотопологической верификации ячеек БИС существенно упрощает поиск несоответствий схемы и топологии и позволяет получить большой выигрыш по времени проектирования благодаря возможности оперативной оценки правильности проекта при рассмотрении различных вариантов компоновки ячеек.

Сейчас разработанные программные средства проходят тестирование, и параллельно ведется работа по их совершенствованию и развитию. Одно из направлений развития связано с верификацией иерархических описаний топологии, а второе – с проверкой соответствия топологий проектным нормам.

СПИСОК ЛИТЕРАТУРЫ

Рабаи Ж. М., Чандракасан А., Николич Б. Цифровые интегральные схемы. Методология проектирования. СПб.: Вильямс, 2007.

S. E. Mironov, L. E. Andreev

SCHEME VERIFICATION OF VLSI CELLS LAYOUT

Article is devoted to the description of the developed software system of VLSI cells scheme-layout verification.

Verification of layout, VLSI cells, electrical circuits