

УДК 681.325.5-184.4:519.725

Г. А. Петров

*Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В. И. Ульянова (Ленина)*

## Организация кодеков с последовательно-параллельной обработкой блоков

*Рассматриваются вопросы организации и проектирования параллельно распределенных кодирующих и декодирующих устройств с обнаружением и исправлением ошибок для систем передачи информации. Выделяются уровни параллелизма, структура параллельно-последовательного кодека с общей шиной и обсуждаются задачи системного, структурного и логического этапов проектирования предлагаемых структур.*

### Последовательно-параллельный кодек, помехоустойчивый код, алгоритм кодирования-декодирования, этапы проектирования кодеков

В системах хранения и передачи информации возможен ряд стратегий борьбы с ошибками, возникающими при передаче данных по каналам связи с различными помехами:

– обнаружение ошибок в блоках данных и автоматический запрос повторной передачи поврежденных блоков;

– обнаружение ошибок в блоках данных и отбрасывание поврежденных блоков – подход, применяемый в ряде случаев в потоковых мультимедийных системах, в которых отсутствует время на повторную передачу;

– исправление ошибок на физическом уровне.

Для обнаружения и исправления одиночных и групповых ошибок, возникающих под влиянием помех различной природы, широко используются помехоустойчивые или корректирующие коды [1]. Корректирующие коды применяются во многих системах цифровой связи, например в спутниковой, сотовой, передаче данных по телефонным каналам, в системах хранения, в контроллерах оперативной памяти, в жестких дисках и других ситуациях. Представителем подобных кодов являются циклические коды Боуза–Чоудхури–Хоквингема (БЧХ), Рида–Соломона (РС) и другие коды, исправляющие одиночные и групповые ошибки в блоках данных. Элементами кодового блока являются не отдельные биты, а группы бит (блоки). Например, коды РС позволяют автоматически восстанавливать массивы байт, искаженные в результате сбоя программного или аппаратного обеспечения системы.

Для обнаружения и исправления ошибок в передаваемые данные добавляют специальным образом структурированную избыточную информацию, а при приеме ее используют для того, чтобы обнаружить и исправить ошибки. Естественно, что число ошибок, которое можно исправить, ограничено и зависит от конкретного применяемого кода.

Одним из перспективных путей повышения производительности кодирующих и декодирующих устройств (кодеков) является их организация с функционально-распределенной обработкой, что позволяет значительно повысить их производительность. В работах [2]–[4] рассмотрены вопросы построения многопроцессорных кодеков с использованием функционально-ориентированных процессоров и кодеков с конвейерной обработкой кодовых блоков. Настоящая статья посвящена вопросам организации и функционирования кодеков с последовательно-параллельной обработкой кодовых блоков. В монографии [3] детально рассмотрены вопросы организации и проектирования микропроцессорных кодеков, представлены алгоритмы помехоустойчивого кодирования и декодирования информации, предложены оригинальные структуры однопроцессорных и многопроцессорных кодеков с различной организацией. Анализ алгоритмов кодирования и декодирования циклических кодов позволил выделить основные требования, предъявляемые к кодекам исходя из особенностей обработки информации:

- работа в режиме реального времени;
- поступление информации последовательным потоком;

– представление информации в виде блоков символов, которые обрабатываются по одной программе;

– различное время обработки отдельных блоков при декодировании и одинаковое при кодировании.

Учитывая характер обработки, можно сделать вывод о том, что, во-первых, необходимость работы в режиме реального времени ставит жесткие ограничения на объем буферизации передаваемой информации, во-вторых, так как время обработки отдельных блоков различно при декодировании и одинаково при кодировании, время декодирования будет основным фактором, который определяет производительность кодека. Таким образом, из цикла работы системы передачи информации *прием – декодирование – обработка – кодирование – передача* наибольший интерес представляет декодирование с исправлением ошибок. В работе [4] на основе анализа алгоритмов декодирования показано, что время декодирования в зависимости от наличия и числа ошибок в канале принимает значения:  $t_1$  – время обработки при отсутствии ошибок;  $t_2$  – время обработки при наличии одной ошибки;  $t_3$  – время обработки при наличии двух и более ошибок.

Такое деление объясняется тем, что время, требуемое на обнаружение и исправление двух и более ошибок, одинаково и существенно отличается от времени обнаружения и исправления одной ошибки. Соотношение времен декодирования блоков символов в зависимости от числа ошибок для трех наиболее распространенных циклических кодов представлено в таблице.

Код	Время
БЧХ	$t_1$
Файра	$t_1$
РС	$t_1$
Файра	$t_2 = 2 t_1$
БЧХ, РС	$t_2 = 2 t_1$
БЧХ, РС	$t_3 = 6 t_1$

Из анализа алгоритмов кодирования и декодирования циклических кодов можно выделить 3 уровня параллелизма:

– параллелизм на уровне обработки блоков символов, так как каждый блок представляет собой законченную цепочку символов, информационно не зависящую от других блоков;

– параллелизм на уровне реализации отдельного блока (см. таблицу);

– параллелизм на уровне выполнения отдельных функций при обработке блока.

Кодеки на первом уровне параллелизма могут быть реализованы аппаратно или программно в зависимости от требования к быстродействию системы. Параллелизм второго уровня характерен для функций декодирования кода РС. Параллелизм третьего уровня наблюдается практически для всех функций кодирования и декодирования рассмотренных кодов. Параллельное выполнение функций на третьем уровне в значительной степени определяет аппаратные затраты при построении функционального расширителя. Распараллеливание отдельных функций рассмотрено в [4]. В данной статье рассматривается параллелизм на уровне блоков для предлагаемой архитектуры параллельно-последовательных кодеков, работа которых предусматривает чередование последовательных и параллельных шагов алгоритма. Выбор структуры определяется такими свойствами кодеков, как простая организация управления последовательно-параллельным режимом системы, схемами коммутации процессоров и управлением процессов распараллеливания ветвей алгоритма задачи. На рис. 1 представлена структура последовательно-параллельного кодека с общей шиной ОШ, в которой процессоры кодека П1–ПМ имеют локальные модули памяти. Процессор-загрузчик ПЗ осуществляет передачу блоков символов для обработки процессорами и передает результат обработки на следующую фазу цикла работы системы передачи информации, работа которой иллюстрируется рис. 2. На последовательном шаге  $S_i^1$  процессор-загрузчик загружает блоки символов в локальную память процессоров. На следующем шаге параллельно во всех процессорах осуществляется декодирование информации с исправлением ошибок. Шаг  $S_i^0$  отражает последовательное чтение результатов декодирования в процессорах.

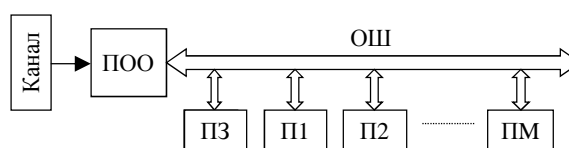


Рис. 1

Возможен вариант совмещения  $S_i^O$  с последующей загрузкой очередным блоком символов, т. е. с переходом к первому шагу работы системы. На рис. 2  $\tau_j$  обозначает свободное время каждого процессора, в течение которого он ждет завершения работы других процессоров.

Для повышения эффективности системы посредством уменьшения времени ожидания очередных блоков процессоров в систему, представленную на рис. 1, введен процессор обнаружения ошибок ПОО, который выполняет операцию определения числа ошибок в принимаемом блоке и присваивает ему признак согласно таблице. Помеченные таким образом блоки процессор загрузки распределяет по процессорам системы, причем в данном случае каждый процессор может обрабатывать не один, а несколько блоков за один шаг работы системы. Для этого случая рассмотрим выполняемую ПЗ функцию, которая обеспечивает распределение по процессорам кодека сообщения, содержащего  $N$  блоков символов с известными временами обработки каждого блока  $t_i \in (t_1, t_2, t_3)$ .

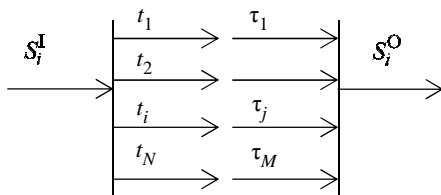


Рис. 2

Сообщение должно быть обработано за один цикл работы параллельно-последовательного кодека, содержащего минимально возможное число процессоров  $M = M_{\min}$ . Обработка сообщения за требуемое время  $T$  возможна только при выполнении неравенства

$$MT \geq \sum_{i=1}^N t_i.$$

Решение задачи будем искать в виде матрицы  $Y$  распределения блоков по процессорам:

$$Y = \|y_{ij}\|,$$

где  $y_{ij} = 1$ , если  $i$ -й блок обрабатывается в  $j$ -м процессоре, и  $y_{ij} = 0$  в противном случае. Каждый блок обрабатывается только в одном процессоре системы. Время вычислений блоков, загруженных на декодирование в  $j$ -й процессор, не должно превышать заданного времени  $T$ :

$$\sum_{i=1}^N t_i \cdot y_{ij} \leq T.$$

Матрица  $Y$  заполняется посредством алгоритма, идея которого заключается в том, чтобы процессоры системы были загружены максимально в течение всего времени, отведенного на шаг процессору  $P_i$ . Условие дополнительного распределения  $K$  блоков символов на обработку  $j$ -му процессору представим в виде выражения

$$\sum_{i=1}^K t_i \cdot y_{ij} \leq \tau_j,$$

где  $\tau_j$  – свободное время  $j$ -го процессора.

Таким образом, переход к функционально-распределенным последовательно-параллельным системам для решения задач декодирования позволяет кроме быстродействия повысить эффективность использования аппаратуры системы.

**Основные этапы проектирования микропроцессорных кодеков.** Из анализа разработок микропроцессорных кодеков можно сделать следующие выводы:

- наиболее важным и определяющим этапом при разработке кодеков является этап системного проектирования;

- широкий диапазон требований, предъявляемых к кодекам при их проектировании, делает в настоящее время практически неразрешимой задачу выбора оптимальной структуры кодека. Генерация вариантов структур кодеков остается пока монополией высококвалифицированного разработчика, и процесс проектирования достаточно сложных кодеков базируется в основном на эвристических методах;

- быстрый прогресс в технологии производства интегральных схем делает актуальной разработку методов распараллеливания и конвейеризации функций кодеков и построение функционально-распределенных кодеков.

Рассмотренные в литературе методики разработки вычислительных и управляющих систем для проектирования кодеков не позволяют учитывать специфику реализуемых задач. В работе [4] рассмотрены особенности реализации задач кодирования и декодирования циклических кодов, использование кодеков в системах связи, выделение и декомпозиция основных функций кодеков и анализ алгоритмов их выполнения, метод выделения аппаратно-реализуемых функций в функциональных расширителях, вопросы проектиро-

вания последовательных и параллельных функциональных расширителей, организация параллельно-последовательных декодеров и ряд др. Теперь стоит задача обобщить полученные результаты и представить их в виде последовательности основных этапов проектирования циклических декодеров. На рассматриваемых этапах проектирования решаются задачи системного, структурного и логического проектирования.

**Системный этап проектирования.** На системном этапе анализируются требования к кодеку, которые задаются техническим заданием и включают:

- скорость передачи информации в канале;
- тип и число ошибок (одиночные, многократные одиночные, одиночные пакеты);
- длину кодового блока;
- вероятность ошибочного декодирования бита (повторение передачи не разрешается; отказ от декодирования и неправильное декодирование равноценны);
- необходимость работы в непрерывном режиме в темпе поступления информации из канала, однако иногда допускается постоянная задержка до десятков длин блоков.

В качестве критерия сравнительной оценки структур декодера выбираем требуемые скорости приема и передачи информации. Исходя из типа ошибок выбирается корректирующий код из набора кодов, разработанных в теории кодирования. После выбора кода определяются его параметры – длина кода  $n$ , избыточность  $m$ , порождающий полином  $g(x)$ .

На первом шаге системного этапа необходимо определить характер ошибок в каналах связи, допустимые вероятности потерь информации из-за воздействия помех в каналах, критерии оценки качества возможных вариантов проектируемого декодера.

На втором шаге системного этапа решается вопрос формирования множества допустимых вариантов разрабатываемого декодера. Допустимыми следует считать варианты, удовлетворяющие исходным требованиям. Для программируемого декодера необходимо объединить алгоритмы кодирования-декодирования. Для оценки вариантов программируемого декодера целесообразно использовать симулятор, оценить требуемое быстродействие процессора для построения декодера можно по выражениям границ, по быстродействию и загрузке кодирующего процессора.

На последнем шаге системного этапа проектирования декодеров из доступных микропроцессорных средств выбирается семейство, удовлетворяющее заданным требованиям.

**Логический этап проектирования.** На логическом этапе определяются особенности алгоритмов, реализуемых декодером, и осуществляется их анализ и разработка. Алгоритмы кодирования и декодирования циклических кодов имеют ряд особенностей:

- работа в режиме реального времени;
- выполнение алгебраических операций в полях Галуа;
- представление информации в виде множества блоков, каждый из которых обрабатывается по одному и тому же алгоритму;
- различные времена обработки блоков в зависимости от отсутствия ошибок, наличия одной или более ошибок.

Вычислительная сложность реализуемых функций кодирования и декодирования циклических кодов определяется по графическим или аналитическим зависимостям, приведенным в работе [4]. Разработка алгоритмов осуществляется на основе выделенных базовых операций, таких, как сдвиг массива на один разряд или символ, умножение элементов в  $GF(2^m)$ , сложение по модулю 2 двух массивов, вычисление обратного элемента в  $GF(2^m)$ , гибкая побитная обработка разрядов регистров декодеров и др. На этом этапе определяется полный набор функций декодеров циклических кодов и их декомпозиция.

**Структурный этап проектирования.** На структурном этапе проектирования декодеров разрабатываются алгоритмы выполнения функций, определенных на предыдущем этапе и отвечающих требованиям по выбранным критериям. В качестве исходного варианта структуры, реализующей алгоритм выполнения функций декодеров, выбирается микропроцессорный кодек, реализующий все функции программно. Для этого необходимо выполнить следующие шаги:

- разработка функционально-временной диаграммы при реализации алгоритмов декодера согласно рекомендациям, приведенным в [4];
- выбор микропроцессоров по критериям, определяемым техническим заданием;
- разработка и отладка программ декодеров.

Если быстродействие декодера не удовлетворяет техническому заданию, необходимо использовать методы распараллеливания и конвейеризации алгоритмов и переходить к организации функционально распределенных декодеров. Рассматриваются варианты организации структур с аппаратно-реализуемыми функциями в соответствии с

рекомендациями в работе [4]. Дальнейшее повышение быстродействия кодеков связано с реализацией максимального параллелизма функции при обработке блока и с использованием матричных структур.

Таким образом, специфика проектирования кодеков как функциональных модулей связана с

конкретизацией общего критерия эффективности системы связи по отношению к реализации функций кодовой защиты, с построением границ по быстродействию и нагрузке кодирующего процессора, объединением алгоритмов кодирования-декодирования, оценкой вариантов кодека с использованием микропроцессорных средств.

### СПИСОК ЛИТЕРАТУРЫ

1. Блейхут Р. Э. Теория и практика кодов, контролирующих ошибки/ пер. с англ. М.: Мир, 1986. 576 с.
2. Петров Г. А. Микропроцессорные кодеки в системах связи // Техничко-технологические проблемы сервиса. 2012. № 1. С. 48–54.
3. Пестриков В. М., Маковецкая-Абрамова О. В., Петров Г. А. Защита информации в автотранспортных системах связи и мониторинга// Техничко-технологические проблемы сервиса. 2013. № 2. С. 78–82.
4. Микропроцессорные кодеры и декодеры / В. М. Муттер, Г. А. Петров, В. И. Маринкин и др. М.: Радио и связь, 1991. 184 с.

G. A. Petrov

*Saint-Petersburg State Electrotechnical University «LETI»*

### CODEC ORGANIZATION WITH SERIAL PARALLEL BLOCK PROCESSING

*The questions of organization and design of parallel- distributed encoders and decoders with error detection and correction for data transmission systems . Distinguished levels of parallelism structure parallel to serial codec common bus system and discuss problems , structural and logical design phases of the proposed structures .*

**Serial parallel codecs, fail code, encoding-decoding algorithms , codecs design stages**

УДК 004.414.22

Ю. С. Татаринев, С. В. Власенко, В. А. Макин, А. В. Наседкин  
 Санкт-Петербургский государственный электротехнический  
 университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

## **Перспективы создания тиражируемого решения в области вузовских систем качества на базе развитой системы электронного документооборота с элементами системы управления бизнес-процессами**

*Рассмотрены подходы к построению тиражируемой системы менеджмента качества вуза. Дано сравнение пригодных для решения такой задачи классов систем. Приведено обоснование выбора в качестве базы системы электронного документооборота с элементами системы управления бизнес-процессами.*

**Система менеджмента качества, система электронного документооборота, информационные системы**

В последние годы в практической деятельности российских вузов существенно выросло значение вузовских систем качества (СК), что обусловлено целым рядом объективных факторов –

вступлением РФ в единое европейское образовательное пространство (Болонский процесс), изменениями в системе аккредитации образовательных учреждений (ОУ) высшего профессио-