

УДК [004.3'12 : 004.4'2] : 621.3.049.771/772

И. С. Зуев

Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

САПР TopDesign виртуального символьного проектирования параметризованных фрагментов КМОП БИС

Рассматривается система автоматизации проектирования (САПР) фрагментов больших интегральных схем (БИС) TopDesign. САПР TopDesign включает интегрированную графическую среду TopDesign разработки топологии фрагментов КМОП БИС с параметризацией на уровнях топологии и технологии. Вторая составляющая САПР – подсистема автоматизации проектирования специализированных кремниевых компиляторов (СКК) фрагментов, являющаяся средством автоматизации проектирования программ СКК, где входом являются параметры фрагмента на всех уровнях – информационном, алгоритмическом, структурном, схемотехническом, топологическом, технологическом, а выходом – топология в заданной КМОП-технологии из определенного достаточно широкого обобщенного класса. Особенностью является плотная упаковка результирующей топологии, соответствующая полностью заказному проектированию. Разработка стала одним из победителей конкурса фирмы INTEL 2002 г. на пространстве бывшего СССР. САПР TopDesign может быть поставлена для практического использования.

Фрагмент БИС, САПР, комплементарная МОП (КМОП)-технология, параметризация фрагмента на всех уровнях, специализированный кремниевый компилятор (СКК), технологическая инвариантность проекта СКК, символьный уровень проектирования топологии, многоузельная модель элемента топологии, поликоординатная модель проектирования топологии

Характеристики СБИС – площадь кристалла, стоимость изготовления, быстродействие – напрямую связаны с эффективностью библиотеки топологических фрагментов. Эта эффективность имеет 2 аспекта: 1) плотность упаковки топологии и 2) живучесть в условиях быстро меняющейся технологии. Первое определяет стоимость изготовления кристалла и становится особенно существенным для многосерийных проектов или сложных суперкристаллов. Второе обеспечивает преемственность разработок, накопление опыта и естественное развитие интеллектуального капитала. Ведь каждая последующая СБИС в серии, совершенствуя предыдущую, содержит тем не менее много общего с ней, и ее фрагменты (блоки) нуждаются лишь в небольшой модификации. Это обеспечивает преемственность в разработке рядов программно-совместимых СБИС и средств вычислительной техники на их основе. Отсюда очевидна актуальность разработки САПР проектирования плотноупакованных фрагментов БИС с их полной параметризацией.

Наиболее сложным аспектом параметризации фрагмента является абстрагирование от конкретной КМОП-технологии. Обычным подходом к

решению является использование виртуальной сетки [1], [2] с переходом к символьному уровню проектирования топологии и сжатию топологической информации [2]. Однако ни виртуальная сетка, ни алгоритмы сжатия сами по себе не обеспечивают плотноупакованной топологии реализации фрагмента.

Представленная здесь САПР TopDesign [3]–[6] обеспечивает автоматизацию проектирования специализированных кремниевых компиляторов (СКК) параметризованных фрагментов КМОП БИС. Фрагмент может быть параметризован на всех уровнях – информационном, алгоритмическом, структурном, схемотехническом, топологическом, технологическом. Программа СКК является технологически инвариантной и настраивается на заданную технологию посредством подстановки файлов определения технологии с той же степенью детальности, с какой технолог выдает информацию для топологов. Система TopDesign обеспечивает проектирование фрагментов КМОП БИС с плотностью упаковки результирующей топологии, соответствующей полностью заказному проектированию.

Архитектура САПР TopDesign. Методология комплексной параметризации фрагментов СБИС на всех уровнях реализуется средствами инструментальной виртуальной системы TopDesign [5]. Структура системы TopDesign приведена на рис. 1. САПР фрагментов БИС TopDesign включает интерактивную графическую среду топологической параметризации (рис. 1 с уровня формата эскиза и ниже) и систему автоматизации проектирования СКК фрагмента БИС (рис. 1 с уровня проектирования СКК и ниже). Обе подсистемы в значительной степени функционально пересекаются. Графическая среда, включающая поликоординатный

графический редактор топологии символического уровня, средства параметризации фрагмента на топологическом и технологическом уровнях, систему сжатия топологии и вывод результата как на верхний srr-уровень, так и на уровень постпроцессора, все больше приобретает функции интегрированной среды проектирования СКК.

По естественным причинам графический редактор предусматривает только топологическую параметризацию, которая в настоящем проекте реализует параметризацию ширин и длин каналов транзисторов и блоков транзисторов, количества фрагментов в матрице и ширин шин. Дополни-

Уровень проектирования СКК – технологически инвариантен

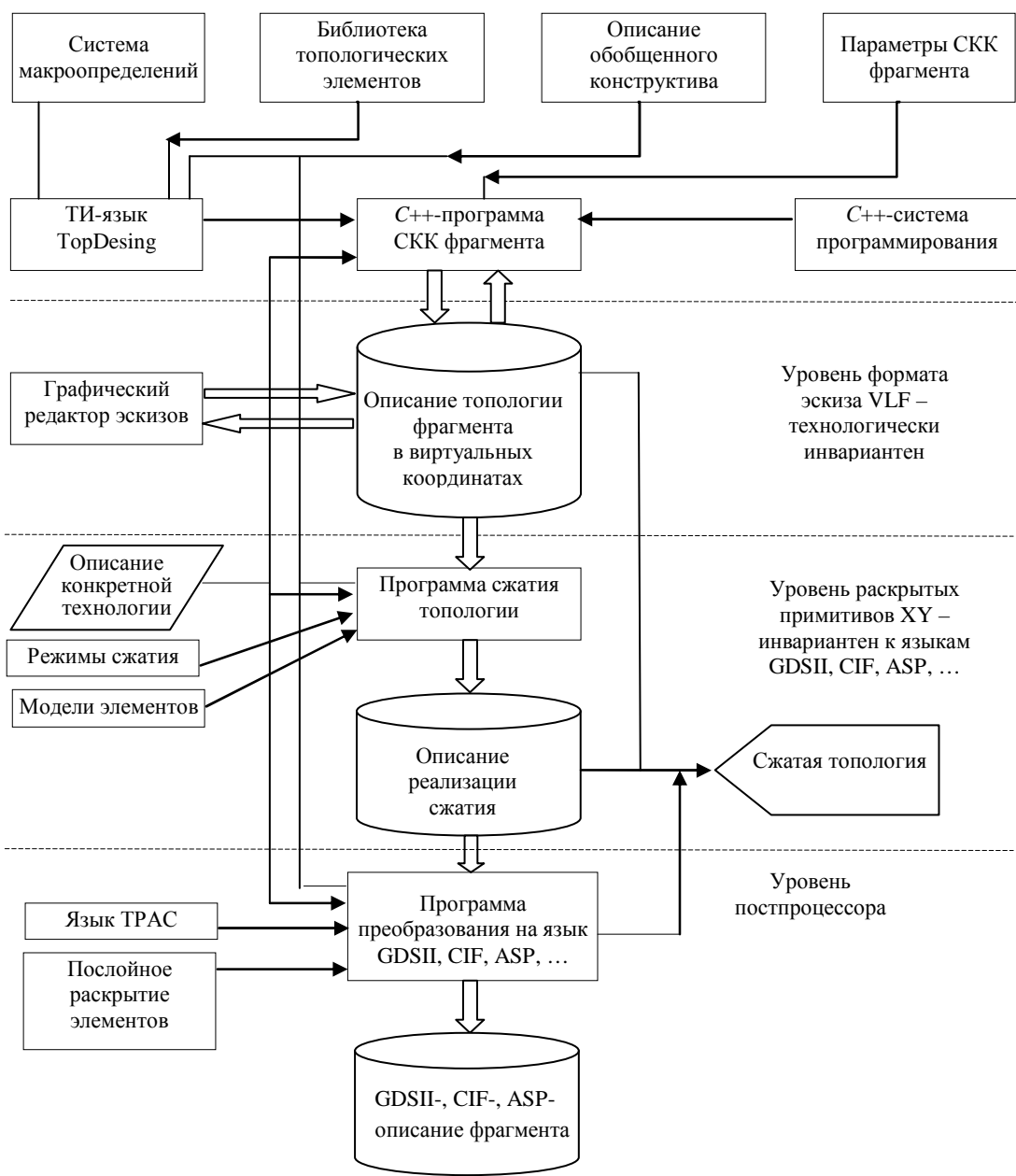


Рис. 1

тельно можно ввести параметризацию размещения виртуальной линии. Таким образом, задача проектирования кремниевого компилятора параметризованного фрагмента СБИС естественно делится на две независимые задачи. Первая – задача нижнего уровня (уровень формата эскиза на рис. 1) – состоит в формулировании топологических параметров, позволяющих эффективно реализовать топологию фрагмента с учетом времени задержки, площади кристалла, требуемых разрядностей блоков, нагрузочной способности, и поддерживается графическим редактором. Вторая – синтез указанных выше топологических параметров из соображений системного характера. Этот уровень может быть реализован только в C++-специализированном кремниевом компиляторе фрагмента (уровень проектирования СКК на рис. 1). При этом вся топологическая работа может проводиться в графическом редакторе, ее результат выводится на C++-уровень. Далее полная параметризация фрагмента, начиная с информационных параметров, реализуется C++-программой СКК фрагмента, которая может включать и оптимизацию в самом широком смысле.

Центральным звеном системы TopDesign является база данных (БД), хранящая эскизы топологии фрагментов в виртуальных координатах во внутреннем формате VLF (Virtual Layout Fragment). Описание топологии в БД технологически инвариантно. Система имеет 2 входа, связанных с БД, каждый из которых обеспечивает параметризацию – через графический редактор и через язык описания технологически инвариантной (ТИ) топологии.

Результатом выполнения программы СКК фрагмента является *.vlf файл БД с фиксированными виртуальными координатами. Все параметры фрагмента верхнего уровня раскрыты. Однако топологические параметры – ширины и длины каналов транзисторов и число фрагментов в матрице (включая нулевое), ширины шин – сохраняются в БД, что позволяет вызывать подфрагмент при матрировании прямо из БД с подстановкой фактических параметров вместо формальных. Следует особо отметить, что эскизный уровень позволяет свести к минимуму число идентификаторов, параметризующих топологию, так как нет необходимости отслеживать многочисленные конкурирующие размеры.

На уровне топологических параметров оба входа – языковой и графический – эквивалентны, т. е. фрагмент, разработанный на языке описания топологии, может быть открыт и отредактирован

в графическом редакторе и далее транслирован обратно на языковой уровень. На языковом уровне можно позиционировать фрагменты с подстановкой фактических параметров непосредственно из файлов, разработанных в графическом редакторе. Однако параметризация фрагментов на верхних уровнях – информационном, алгоритмическом, схемотехническом – связана с применением языкового уровня и разработкой СКК фрагмента. СКК фрагмента БИС – это программа, на входе которой параметры фрагмента на всех уровнях, а на выходе – топология фрагмента в заданной КМОП-технологии и конструктивно-технологических требованиях (КТТ или проектные нормы).

Файлы *.vlf из базы данных в виртуальных координатах обрабатываются программой сжатия [4], в результате чего эскиз раскрывается до топологических примитивов в конкретной технологии с конкретными проектными нормами (уровень раскрытых примитивов XY на рис. 1). Символьные элементы раскрываются вокруг виртуальных узлов в соответствии с правилами, иллюстрированными далее. Результат сжатия фрагмента представляет собой совокупность двух файлов – файла наполнения виртуальной сетки *.vlf и файла координат виртуальных линий *.xu, – хранится во внутреннем формате и инвариантен к языку САПР разработки фотошаблонов. Сжатие управляется модулем определения конкретной технологии, в результате чего отсутствующие в данной технологии компоненты топологии не появляются в выходном описании и не будут занимать площадь кристалла. Например, в технологиях кремний-на-сапфире (изоляторе) КНС, КНИ будут отсутствовать активные области контактов к карманам с соответствующими контактами с металлом (рис. 2).

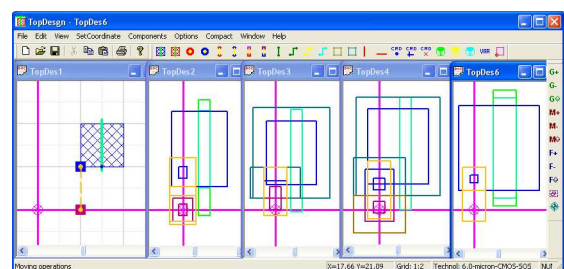


Рис. 2

Процессом сжатия топологии управляет модуль, включающий средства описания ограничений сжатия [5], характерные для стандартных фрагментов. Ограничения сжатия могут читаться из файла стандартной программой сжатия, или в альтернативе может быть разработан головной main-модуль C++-программы управления сжатием, используя

щий операторы описания ограничений сжатия. Таким образом, обеспечивается возможность использования полученного фрагмента в автоматических трассировщиках общей САПР СБИС.

Сжатие может выполняться как графической средой TopDesgn.exe, так и скролинговой программой сжатия vgscomr.exe. Последняя имеет большие возможности в смысле предельных объемов обрабатываемой информации, поскольку не содержит информации, необходимой для графического редактирования.

Сжатая послойная топология может быть непосредственно просмотрена в графической среде TopDesgn. Выход программы сжатия обрабатывается скролинговой программой постпроцессора vgcif.exe, vggds.exe, vgaspr.exe (уровень постпроцессора на рис. 1), генерирующей фиксированную топологию фрагмента на языке описания топологии САПР разработки фотошаблонов соответственно CIF, GDSII и ASP. При разработке программ постпроцессоров используется старая система ТРАС; ее коды объединены как для генерации послойных примитивов в любом формате, так и для графического вывода сжатой топологии на экран. Наличие конверторов результатов проектирования на языки (форматы), используемые в общей САПР, обеспечивает реализацию интерфейса с общей САПР разработки СБИС. Свойство инвариантности к языку САПР разработки фотошаблонов позволяет в будущем достаточно просто реализовать и другие выходные форматы.

Концепция технологической инвариантности. Технологическая параметризация фрагмента – наиболее сложный аспект методологии комплексной параметризации фрагментов БИС системы TopDesign. Технологическая параметризация не сводится к параметризации размеров и зазоров в различных слоях. Проблема в том, что состав технологических этапов изготовления и исходная информация (фотошаблоны) сильно различаются для типичных процессов изготовления СБИС. Например, в структурах на изолирующей подложке (КНС) отсутствуют физические слои карманов и соответствующие контакты к этим слоям. Концепция технологической инвариантности фрагмента системы TopDesign включает следующие взаимосвязанные составляющие:

1. Переход от послойного описания элемента топологии к его символу, включающему множество опорных узлов в абстрактной системе координат.

2. Проектирование топологии на сетке, являющейся не метрической, а виртуальной.

3. Сжатие топологической символьной информации с подстановкой описания конкретной техно-

логии и моделей (конструкций) всех элементов во всех опорных узлах на виртуальной сетке.

4. Абстрагирование от конкретной технологии посредством существенного расширения состава топологических слоев по сравнению с конкретной КМОП-технологией.

5. Особая конструкция топологических элементов, обеспечивающая плотную упаковку результата сжатия.

Идея технологической параметризации фрагментов КМОП БИС основана на концепции проектирования топологии на виртуальной сетке (ВС) [1], [2], на которой размещаются символы элементов топологии – транзисторы, шины, контакты и т. д., позиционируемые фрагменты или матрицы. Внешне она напоминает обычную сетку проектирования в том смысле, что местоположение ее узлов выражается координатами. Однако виртуальная сетка описывает скорее взаимное размещение элементов топологии (север, юг, запад, восток), чем точное положение; соответственно вводится понятие виртуальных координат (ВК), нумерующих узлы сетки. В качестве примера на рис. 3 представлен эскиз топологии на виртуальной сетке (слева) одноразрядного двоичного комбинационного сумматора.

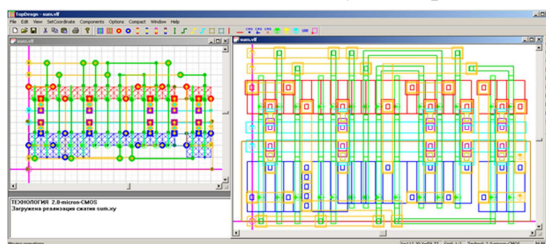


Рис. 3

Точное местоположение элементы топологии получают только после выполнения сжатия [4]. В процессе сжатия происходит подстановка описания конкретной технологии и проектных норм, а также набор определенных значений параметров фрагмента. При этом каждый символ топологии раскрывается в соответствии с технологическими правилами, проиллюстрированными на рис. 4. В результате реализуется сжатие виртуального фрагмента в конкретной технологии (рис. 3, справа – 2-микрометровая КМОП-технология на объемном кремнии).

Абстрагирование описания фрагмента от конкретной технологии происходит посредством формирования обобщенного конструктива. При изготовлении СБИС используется определенный состав фотошаблонов (ФШ), с помощью которых на пластине формируются технологические слои – множество ФШ образует технологический

конструктив СБИС. Однако в практике проектирования топологических чертежей принято, по возможности, абстрагироваться от конкретного состава фотошаблонов и кодировать топологию в топологических слоях (ТС). Топологическим слоем называется основной элемент конструкции СБИС. Каждый ФШ при этом формируется из информации одного или нескольких ТС посредством их упреждений и объединений в один ФШ. Множество ТС образует обобщенный конструктив. Идея обобщения технологии заключается в существенном расширении размерности обобщенного конструктива по сравнению с конкретной КМОП-технологией. Обобщенный конструктив охватывает далекие КМОП-технологии на изоляторе (КНИ, КНС) и объемном кремнии, включая масштабируемые Scalable CMOS (SCMOS) [7] до 0.18 мкм. Конструктив содержит до шести слоев металлической разводки. В качестве примера ниже представлено множество активных ТС из файла sldef.h:

```

NA_ =2, // n++ – активная область n-транзистора;
NK_ =3, // n++ – контактная область к n-карману;
NE_ =4, // n++ – контактная область к n-карману;
// эквипотенциально соединенная с p++ активной областью;
PA_ =5, // p++ – активная область к p-карману;
PK_ =6, // p++ – контактная область к p-карману;
PE_ =7, // p++ – контактная область к p-карману;
// эквипотенциально соединенная с n++ активной областью.
    
```

Такое расширение позволяет получить многообразие реализаций эквипотенциальных контактов (где активная область транзистора соединена с контактной областью кармана) в разных технологиях (см. рис. 2).

Особую проблему в системах виртуальной сетки представляет получение плотноупакованной топологии. «Сравнительно просто генерируется плохая топология, но много усилий требуется для того, чтобы сделать ее эффективной» [1]. В системе TopDesign эффективность топологии обеспечивается тремя путями:

1. Особой конструкцией элементов, включая плотноупакованные блочные транзисторные структуры, подробно описанные в [3], [4].

2. Применением трех типов расстояний в алгоритме сжатия.

3. Переходом в особых случаях к программированию послойной топологии в подсистеме ТРАС.

Конструкция n -МОП-транзистора (рис. 4), имеющего топологическую ширину канала W_t и длину канала L_t , спроектирована с таким расчетом, чтобы в типичном случае соединения активных областей соседних транзисторов в линейке (рис. 3) не возникло паразитных зазоров. В связи с этим головка контакта к активной области (если контакт включен) ложится заподлицо с областью транзистора.

Обычно в алгоритмах сжатия осуществляется анализ расстояний одного типа – между прямоугольниками соседних элементов в различных слоях [1], [2]. В системе TopDesign анализируются ширина слоя WS и расстояния трех типов (рис. 4): 1) между прямоугольниками соседних элементов (расстояния DS); 2) между прямоугольниками элементов и границей, включающей элементы области (включения IS); 3) выходы (OS) элементов за пределы включающей области. Конструкция n -МОП-транзистора (рис. 4) включает слои активной области n -типа $NA_$, затвора $SN_$, закрывка затвора $SZ_$, поликремния $SI_$. Транзистор имеет единственную точку привязки, но размещается на восьми узлах виртуальной сетки, определяющих местоположение верхней, нижней, левой, правой и центральной частей активной области; закрывок находится на расстоянии 0.1 шага виртуальной сетки h_{VG} от точки привязки транзистора. Однако при виртуальной ширине канала $W = 0$ точки верха и низа транзистора совмещаются и W_t равна высоте головки контакта.

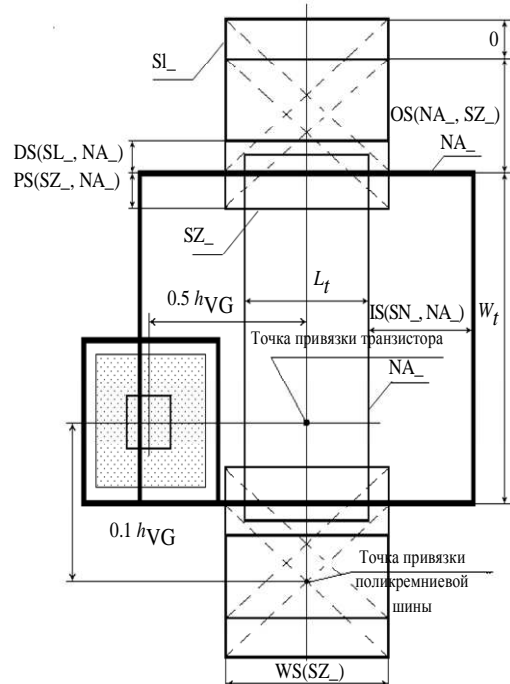


Рис. 4

Топологическая параметризация фрагмента. Следующим уровнем параметризации фрагмента является топологическая параметризация (см. рис. 1). На рис. 5 представлена топология инвертора, параметризованного по ширинам каналов транзисторов: W_n – ширина канала n -МОП-транзистора (внизу); W_p – p -МОП-транзистора (вверху). Окно свойств транзистора относится к выделенному n -МОП-транзистору; оно указывает, что ширина канала транзистора является переменной W_n , значение которой равно 1.3 виртуальные единицы. Переменная ширина канала W_n может относиться к нескольким транзисторам, например в ячейках регистра, параметризованных по нагрузочной способности.

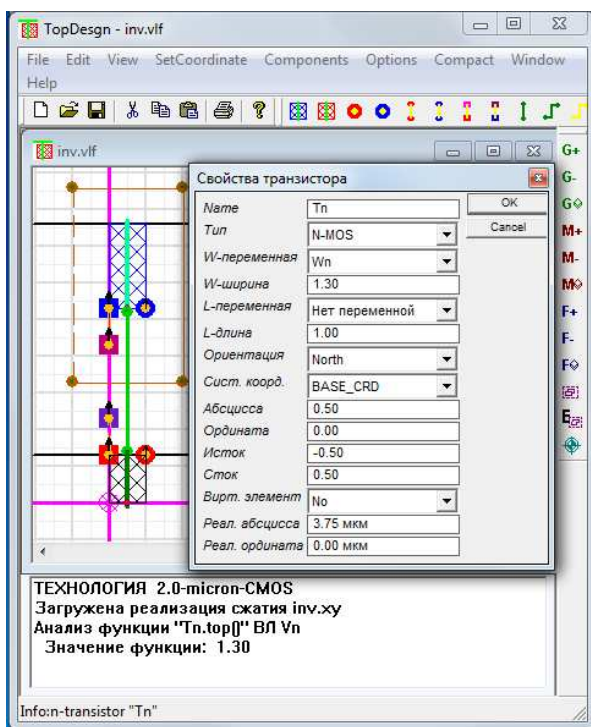


Рис. 5

Значения переменных изменяются в отдельном окне Internal Variables, содержание которого для инвертора на рис. 5 показано на рис. 6 – изменение, например, значения W_n в этом окне влечет за собой одновременное изменение значений ширины каналов всех транзисторов с параметром W_n .

Система TopDesign устанавливает прямую пропорциональность между значениями виртуальной и реальной ширины канала. Это сделано для того, чтобы оптимизацию ширины каналов транзисторов схемы можно было проводить на виртуальном уровне. Хотя существуют функции

перевода виртуальных ширины в реальные и обратно, но их использование делает проект технологически зависимым.

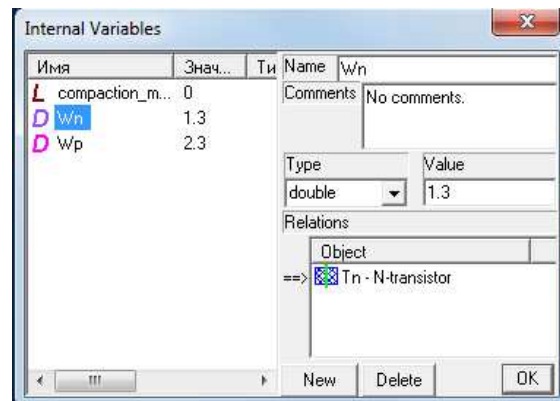


Рис. 6

Проектирование топологии в графической среде TopDesign использует *полюординатную модель*, подробно описанную в [3], [5]. Эту модель наглядно иллюстрирует рис. 5. Поскольку ширины каналов параметризованы, то при изменении их значений должна сдвигаться вся вышележащая топология. Для этого вводятся две дополнительные системы координат, ось абсцисс которых прорисована жирными горизонтальными линиями (вертикальная ось ординат общая для трех систем координат, включая базовую). В нижнем окне TopDesign распечатано значение функции $Tn.top()$ виртуальной линии (ВЛ) с именем T_n .

Аналогично можно вводить переменную длину канала транзистора, ширину шины, количество фрагментов в матрице по горизонтали и вертикали. В окне топологии фрагмента демонстрируется значение переменной, принятое по умолчанию (формальный параметр). Значения отдельных параметров при позиционировании фрагмента (в ссылке) могут быть сохранены, тогда они будут такими, как задано при определении формального параметра. Эти значения могут быть изменены в ссылке на фрагмент, причем без переопределения vlf-файла фрагмента.

Следующие уровни параметризации связаны с конвертацией определения фрагмента на C++-уровень, что производится по команде File/Save in Format с определением опции CPP-Format. В результате для инвертора на рис. 5 получим следующие исходные тексты:

```
// Файл inv.h – класс фрагмента Инвертор (рис. 5)
#include <TRASVG.H>
```

```

class INV_
{
public:
// Список формальных параметров фрагмента
// Элементов в списке: 3
double Wn;
double Wp;
INV_()
{
Wn=1.30;
Wp=2.30;
}
layout& LAYOUT();
};
// Файл inv.cpp – функция генерации топологии
#include "stdafx.h"
#include <C:\TopVG\TEST\inv.h>
layout& INV_::LAYOUT()
{
FRAG(inv)
// Объявление формальных параметров
фрагмента
COMPACTION_MODE(X_Y)
VAR(Wn);
VAR(Wp);
// Объявление виртуальных линий
// VLIN_X(BASE_X, 0);
VLIN_Y(Vn, 1.30);
VLIN_Y(Vp, 7.60);
// VLIN_Y(BASE_Y, 0);
// Объявление систем координат
// COORDINATE(BASE_CRD, BASE_X,
BASE_Y);
COORDINATE(Vn_CRD, BASE_X, Vn);
COORDINATE(Vp_CRD, BASE_X, Vp);
// Система координат BASE_CRD
COORD_CHANGE(BASE_CRD);
// Точки привязки
// ORIGIN(BASE, 0.00, 0.00);
// Транзисторы
Transistor(Tn); W(Wn) L(1.00) OR(NORTH)
SIMM
TN(0.50, 0.00);
// Система координат Vn_CRD
COORD_CHANGE(Vn_CRD);
// Транзисторы
Transistor(Tp); W(Wp) L(1.00)
OR(NORTH) SIMM
TP(0.50, 4.00);
// Контакты одноточечные
OR(NORTH) CNA(1.00, 0.00);
OR(NORTH) CPA(1.00, 4.00);
// Контакты двухточечные
OR(NORTH) CENAPE(0.00,0.00, 0.00,1.00);
OR(NORTH) CEPANE(0.00,4.00, 0.00,3.00);
// Шины, линии, контуры
KN(-1.00, 2.00) X(2.00) YB(Vp_CRD, 1.00)
X(-1.00);
W_WIRE(1.00) SI(0.50, 3.90) Y(0.10);
// Определение функций виртуальных ли-
ний –
// горизонтальные
SET_FUNCTION_Y(Vn, Tn.top());
SET_FUNCTION_Y(Vp, Tp.top());
ENDF
return inv;
}
// Файл pinv.cpp – генерация топологии Ин-
вертора
#include "stdafx.h"
#include <C:\TopVG\TEST\inv.h>
void main()
{
INV_ INV;
NEW layout& inv = INV.LAYOUT();
}
Система автоматизации проектирования СКК
включает универсальную систему программирова-
ния Visual C++ и язык программирования парамет-
ризованной топологии фрагмента, являющийся
расширением универсального языка C++. Расшире-
ние универсального языка C++ означает, что, с од-
ной стороны, доступны все тщательно разработан-
ные в C++ средства описания алгоритмов, необхо-
димые при проектировании программы СКК фраг-
мента, и в то же время доступны средства описания
элементов топологии, разработка которых обходит-
ся значительно дешевле, чем если бы создавался
специализированный топологический язык.
Фрагмент на C++-уровне включает: 1) файл
класса (inv.h), содержащего параметры фрагмента
( $W_n = 1.30$  и  $W_p = 2.30$ ). Третьим параметром яв-
ляется последовательность сжатия X_Y: сначала
по оси абсцисс, потом по оси ординат) и функцию
LAYOUT() генерации его виртуальной топологии;
2) файл определения функции LAYOUT() (inv.cpp)
и 3) файл головной программы, генерирующей
файл описания топологии (inv.vlf); последний экви-
валентен представленному на рис. 5. Во фрагменте
определены две вложенные системы координат:
Vn_CRD и Vp_CRD, связанные с верхом соответ-
ствующих транзисторов; формулы нахождения ор-
динаты определены в конце файла оператором
SET_FUNCTION_Y. Третья система координат
BASE_CRD является базовой, существует всегда и

```

не должна явно вводиться (закомментирована). Предварительное объявление всех систем координат (со значением ординаты, соответствующим параметрам по умолчанию) дает возможность определять точки трассы в любой системе координат. Следует отметить, что элементы упорядочены в двух направлениях: сначала по возрастанию абсциссы первой точки, потом по возрастанию ординаты, что облегчает поиск нужного элемента.

Во фрагменте верхнего уровня можно сгенерировать фрагмент INV, переопределив только нужные параметры:

```
INV_ INV; // Определение INV, Wn=1.30,
Wp=2.30
// Оптимизация ширины каналов Wn, Wp
INV.Wn = 2.0 // Переопределение только Wn
layout& inv2 = INV.LAYOUT(); // Wn = 2.0
P_FRAG(inv2, dx, dy, x, y); // Установка в
точку x, y
```

Того же результата можно достичь, устанавливая предварительно сгенерированный (в другом процессе) фрагмент inv прямо из базы данных inv.vlf:

```
// Вычисление параметра Wn = 2.0
P_FRAG("inv", dx, dy, x, y) VAR(Wn);
//Переопр. Wn
```

При проектировании сложного фрагмента (макроблока, например матричного умножителя) топологические параметры его подфрагментов определяются на выходе оптимизации макроблока. Например, ширины каналов триггеров множимого и множителя зависят от разрядности соответственно множителя и множимого.

Альтернативой в иерархическом проектировании является сборка топологии макроблока на языке cif, включающая согласование выводов фрагментов посредством итерационного сжатия с помощью программы Matching of Cells [6], входящей в комплект поставки САПР TopDesign.

Подсистема ТРАС проектирования в конкретной технологии. Концепция технологически инвариантного проектирования топологии системы TopDesign позволяет проектировать фрагменты с плотностью упаковки, практически не отличающейся от полностью заказного проектирования. В отдельных случаях удавалось даже превысить эту плотность за счет того, что символьный уровень проектирования на порядок проще послойного, что дает возможность проанализировать больше вариантов компоновки топологии.

Следует, однако, отметить, что система сжатия на виртуальной сетке позволяет обрабатывать только ортогональные топологические фигуры. Снятие этого ограничения в отдельных случаях позволяет получать уникальные топологические конфигурации. Пример фрагмента одноразрядного двоичного комбинационного сумматора ячейки матричного умножителя в 2-микрометровой КМОП-технологии, разработанный С. Э. Мироновым в САПР ТРАС, показан на рис. 7. Его площадь почти в полтора (в 1.47) раза меньше аналогичного по функциональному составу фрагмента базовой ячейки матрицы умножителя процессора TMS320C25.

ТРАС входит в систему TopDesign как подсистема постпроцессора (см. рис. 1). Она обеспечивает вывод результирующей топологии в любом формате в конкретной технологии. Однако она доступна для пользователя TopDesign и рекомендуется при проектировании СКК фрагментов:

- с максимально плотной упаковкой, что часто является желательным, а иногда и необходимым в ячейках матричных устройств (ПЛМ, ПЗУ, матричный умножитель, делитель, ...);
- аналоговых фрагментов, где требуются точные размеры компонентов, не достижимые в системах сжатия.

Аналогично языку описания виртуального фрагмента язык ТРАС является топологическим расширением языка C++ и обеспечивает параметризацию всех координат, но на уровне ТС и в конкретной технологии. Это означает возможность создания СКК *гибких параметризованных фрагментов* БИС не только в КМОП-технологии и не только на кремнии.

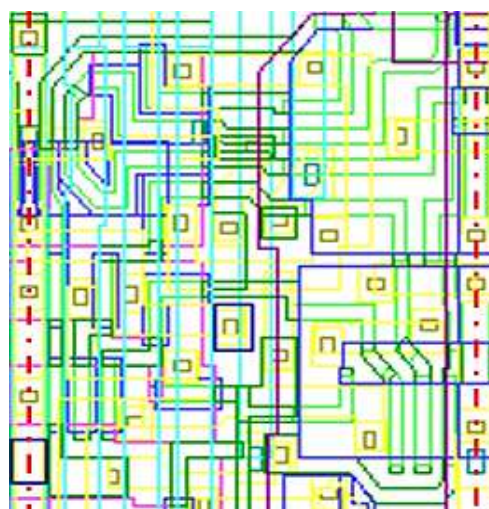


Рис. 7

САПР TopDesign является продуктивным и полезным инструментом индустриального метода проектирования библиотеки фрагментов БИС. Это эффективное дополнение широкоизвестных САПР СБИС сквозного проектирования, для использования которых необходима дорогостоящая библиотека фрагментов, поставляемая отдельно и на конкретную технологию и не имеющая средств параметризации. Система TopDesign обеспечивает автоматизацию проектирования программ СКК фрагмента с параметризацией на всех уровнях и оперативной настройкой реализации фрагмента на оптимальную технологию изготовления.

Автор выражает благодарность доцентам ЛЭТИ С. Э. Миронову и Н. М. Сафьянникову за постоянное внимание и практическую помощь в тематике исследования, а также инженеру-исследователю фирмы Ericsson AB (Швеция), PhD А. Б. Максимову, создавшему основу графического редактора TopDesign.

Финансовая поддержка.

1. Проект «Теория виртуального символического проектирования КМОП-кристаллов» по программе «Развитие научного потенциала высшей школы» на 2009–2011 гг. Подраздел 2.1.2. «Проведение фундаментальных исследований в области технических наук». Регистрационный номер 2.1.2/2522.

2. Проект «Информационная технология символического проектирования фрагментов КМОП сверхбольших интегральных схем (СБИС)» федеральной целевой программы «Научные и научно-педагогические кадры инновационной России» на 2009–2013 гг., шифр заявки «2010-1.5-502-002-005».

3. Проект 390 «Исследование и разработка микросистем на базе интеллектуальных сенсоров с потоковой обработкой информации для новых приборов и аппаратных комплексов». Фонд содействия развитию малых форм предприятий в научно-технической сфере. Программа «Старт» на 2015–2017 гг.

СПИСОК ЛИТЕРАТУРЫ

1. Weste N. H. E., Eshraghian K. Principles of CMOS VLSI Design. A systems perspective. 2nd edition. Chapter 7. Symbolic Layout Systems. Addison-Wesley, 1993.

2. Physical Design Automation of VLSI Systems. Chapter 6. Symbolic Layout and Compaction / ed. by B. T. Preas, M. J. Lorenzetti. The Benjamin / Cummings Publishing Company. Menlo Park, California, 1988. P. 211–281.

3. Zuev I. S., Maximov A. High-Density Layout Designing of CMOS VLSI Parameterized Fragments // Proc. of IEEE East-West Design & Test Symposium (EWDTS'10), St. Petersburg, 2010. P. 131–134.

4. Зюев И. С. Концепция плотно упакованного сжатия параметризованной топологии в САПР TopDesign // Автоматизация проектирования дис-

кретных систем. CAD DD'10 // Материалы 7-й междунар. конф., Минск, 16–17 нояб. 2010. С. 318–325.

5. Технологически инвариантная система проектирования топологии стандартных фрагментов МОП БИС / И. С. Зюев, А. Б. Максимов, С. Э. Миронов, Н. М. Сафьянников // Изв. вузов. Электроника. 2003. № 3. С. 63–70.

6. Миронов С. Э., Васильев А. Ю. Подсистема автоматизированного иерархического технологически инвариантного проектирования топологии макроблоков КМОП СБИС Matching of Cells // Изв. СПбГЭТУ «ЛЭТИ». 2015. № 4. С. 27–31.

7. The MOSIS Service. SCMOS Design Flow. URL: <http://www.mosis.com/pages/design/flows/design-flow-scmos> (дата обращения: 23.03.2016).

I. S. Zuev

Saint Petersburg Electrotechnical University «LETI»

LSI CAD SYSTEM TOPDESIGN OF VIRTUAL SYMBOLIC DESIGNING OF PARAMETERIZED CMOS FRAGMENTS

Computer-aided design (CAD) TopDesign of fragments of large-scale integrated circuits (LSI) is consider. CAD TopDesign includes an integrated graphical environment TopDesign for layout designing of CMOS LSI fragments with parameterization at the levels of layout and technology, including SCMOS [7] up to 0.18 microns. The second component of the CAD system is a subsystem of automation of specialized silicon compilers (SSC) fragments designing. This means automation of designing of SSC programs, where the input is the fragment parameters at all levels – informational, algorithmic, structural, circuitry, layout, technological, – and output – layout in a given CMOS technology from fairly broad generic class. Development was one of the winners of the competition-2002 of the Company INTEL on the former Soviet Union space. CAD TopDesign can be supply to practical use.

LSI fragment, CAD, complementary MOS (CMOS) technology, parameterization of fragment at all levels, specialized silicon compiler (SSC), technology invariant SSC project, symbolic level layout designing, multinode model of layout element, poly-coordinate layout model of designing