

A. V. Mityakov, Yu. S. Tatarinov
Saint-Petersburg state electrotechnical university «LETI»

APPROACHES TO EFFECTIVE IMPLEMENTATION OF ITERATIVE ALGORITHMS ON MAPREDUCE MODEL

Iterative algorithms are an important class of tasks, and are found in many areas, such as data-mining, machine learning, reference analysis and other. The most well-known and often applicable tool in big-data computing is the MapReduce model and in particular its open source implementation Hadoop. This paper provides an overview of existing approaches to the implementation of the MapReduce-like models supporting the effective implementation of iterative algorithms. It is shown that the main factors affect adversely the performance of iterative algorithms on MapReduce model is the disk and network IO, which in most cases can be prevented by various modifications of the model and software environments that implement it.

Big-data, data computing, MapReduce, iterative algorithms

УДК 621.3.049.77.001.2

С. Э. Миронов, А. А. Баранов
Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В. И. Ульянова (Ленина)

Т. О. Ефимова
Санкт-Петербургский государственный политехнический университет

Средства автоматизации проектирования иерархических макроблоков СБИС с использованием параметризованных ячеек

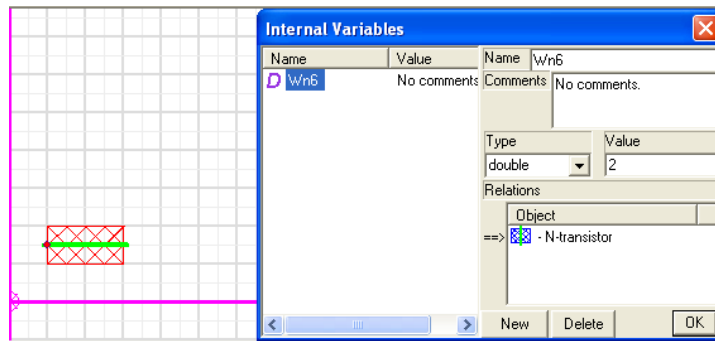
Описаны недостатки алгоритма сжатия параметризованной топологии фрагментов СБИС, реализованной в нескольких системах координат. Предлагается способ их компенсации, разработанный для автоматизированного проектирования иерархических макроблоков СБИС. Описываются средства программной генерации спецификаций ячеек и средства верификации и коррекции спецификаций и топологий.

Технологически инвариантное проектирование топологии, алгоритмы сжатия топологии фрагментов БИС, поликоординатный метод проектирования топологии, верификация спецификаций и топологий ячеек, параметризованные топологии ячеек

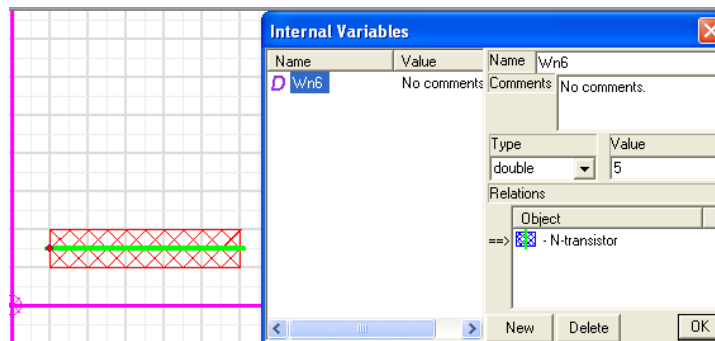
Поликоординатное проектирование топологии. Современные методы проектирования топологии интегральных схем базируются на различных средствах автоматизации, одним из которых являются специализированные кремниевые компиляторы (СКК) – параметризованные программы, генерирующие топологии в зависимости от входных параметров. Причем при построении сложных схем разной разрядности может меняться

не только число ячеек (например, в строке матричного множителя), но и мощность сигнала, поступающего на входы ячеек.

Для параметризации нагрузочной способности необходима параметризация ширин выходных каскадов схем, а в некоторых случаях и изменение числа инверторов в выходных каскадах выходного буфера.



a



б

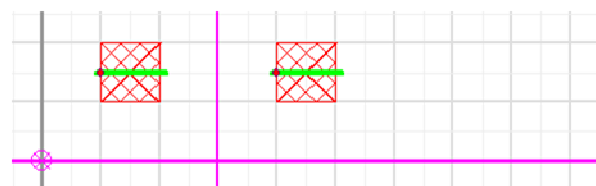
Рис. 1

Изменение размеров транзисторов в используемой при проектировании топологии системе технологически-инвариантного проектирования топологии TopDesign [1] (позволяющей настраивать топологию на требуемые нормы) обеспечивается механизмом параметризации, позволяющим задавать ширину канала переменной с заданным значением по умолчанию. Это можно проиллюстрировать с помощью приведенных на рис. 1 примеров, изображающих топологические эскизы транзистора с шириной канала, задаваемой переменной Wn6 со значением, равным 2 (рис. 1, а), и со значением, равным 5 (рис. 1, б).

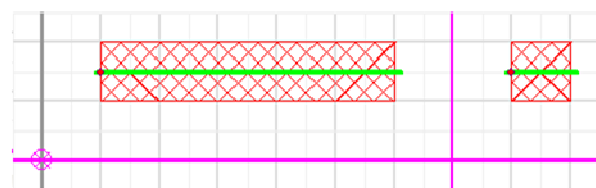
Для того чтобы увеличивающиеся транзисторы не налезали на соседние элементы топологии, в системе TopDesign предусмотрен способ поликоординатного описания топологии. Он предусматривает задание дополнительных систем координат, связанных со смещающейся границей параметризованных по ширине транзисторов. При этом элементы топологии, расположенные в новых системах координат, будут смещаться вместе с системами координат, смещающимися при изменении положения границы транзистора, с которой они связаны.

На рис. 2 представлены исходный топологический эскиз (рис. 2, а) двух транзисторов в разных системах координат и полученный в результате изменения параметра (ширины канала левого

транзистора) топологический эскиз (рис. 2, б), в котором при изменении ширины канала левого транзистора произошло смещение правой вспомогательной системы координат.



a



б

Рис. 2

Механизм поликоординатного описания топологии очень удобен и эффективен. Он позволяет генерировать целые «семейства» ячеек с различными электрическими характеристиками. Однако автоматизированное проектирование иерархических макроблоков СБИС с его помощью требует выполнения ряда дополнительных действий и пристального внимания со стороны тополога. Дело в том, что проектирование макроблоков требует согласования габаритов и положения

выводов ячеек, а в системе TopDesign виртуальные линии топологии, по которым происходит согласование положения элементов, не связаны с системами координат, и при изменении размеров транзисторов и смещении частей топологии ячеек элементы топологии отрываются от виртуальных линий, на которых располагались исходно.

На рис. 3 представлены эскиз фрагмента топологии (рис. 3, а) с вертикальной виртуальной линией (черного цвета), проходящей через контакт, и полученный в результате изменения ширины канала левого транзистора фрагмент топологии (рис. 3, б) с виртуальной линией, оторвавшейся от сместившегося контакта. Аналогичным образом виртуальные линии отрываются и от элементов в сдвигающейся системе координат.

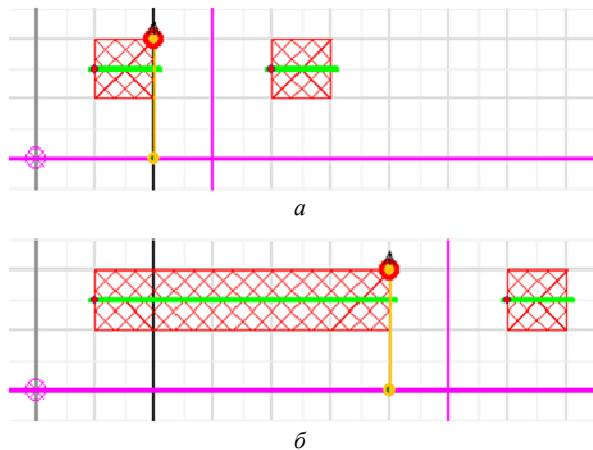


Рис. 3

Средства программной генерации спецификаций ячеек и средства верификации и коррекции спецификаций и топологий. В системе TopDesign для того, чтобы виртуальные линии не отрывались от необходимых элементов топологии, может применяться формульное задание координаты виртуальной линии. Однако для больших фрагментов затруднительно уследить за всеми выводами схемы.

Для устранения этого недостатка была разработана методика и реализующее ее программное средство, выполняющее генерацию спецификаций ячеек, а также верификацию и коррекцию спецификаций и топологий. Окно этой программы представлено на рис. 4.

Программа добавляет виртуальные линии во фрагменты топологии по установленным разработчиком в топологии текстовым меткам с именами и задает функции изменения положения этих виртуальных линий при изменении положения систем координат и элементов в них. Текстовые метки привязываются к конкретной системе координат, поэтому определить расположение выводов фрагмента и соответствующих виртуальных линий не составляет труда.

Алгоритм размещения виртуальных линий включает в себя:

- поиск в текстовом описании фрагмента всех текстовых меток;

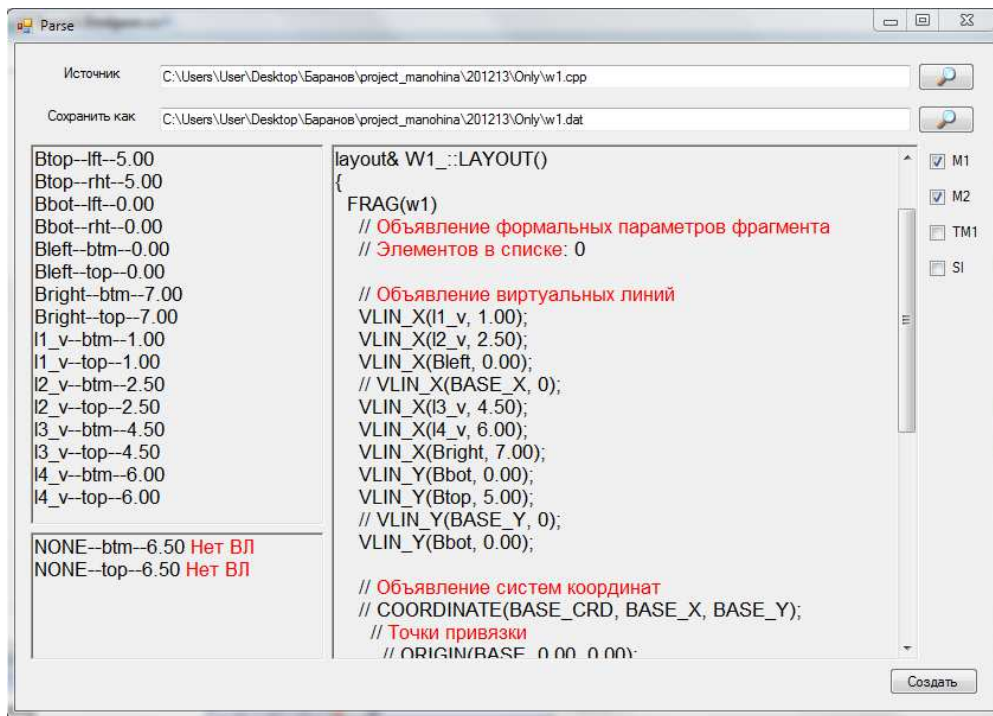


Рис. 4

– добавление в описание топологии в тех местах, где располагаются текстовые метки, виртуальных линий;

– придание новым виртуальным линиям функций для вычисления координат.

Текстовые метки во фрагменте топологии расставляются топологом, и он же задает им имена. Наличие одинаковых имен текстовых меток, расположенных на разных координатах оси абсцисс или ординат, свидетельствует об ошибке, так как не должно быть двух виртуальных линий с одинаковыми именами. Придание новым виртуальным линиям функций для вычисления координат выполняется для того, чтобы при смещении системы координат и изменении положения границ связанных с ней транзисторов новая виртуальная линия также смещалась и сохраняла свое положение относительно смещающихся элементов.

Помимо этого разработанное программное средство строит файл спецификации для использования его в программе согласования габаритов и положения выводов ячеек и сборки макроблока [2]. Спецификация содержит описание всех виртуальных линий, необходимых для согласования ячеек, включая информацию об их расположении в базовой системе координат ячейки.

Еще одной функцией разработанного программного обеспечения является верификация фрагментов топологии на соответствие выводов и габаритов ячеек установленным виртуальным линиям для дальнейшего согласования фрагментов топологии. При этом проверка соответствия виртуальных линий границам и выводам фрагментов происходит в одной системе координат, после приведения координат границ и выводов к базовой системе координат. По результатам верификации для разработчика выводятся сообщения о тех границах фрагментов и выводах шин на границах, которым не соответствует ни одна виртуальная линия. При этом разработчик может модифицировать топологию или отказаться от ее коррекции.

В процессе работы программные средства также контролируют имена виртуальных линий с целью обнаружения вызванных опечатками несоответствий в описаниях элементов топологии двух фрагментов, содержащих сходные по написанию символы кириллицы и латиницы.

Использование описанных в статье программных средств при проектировании топологии макроблоков БИС позволило существенно упростить и ускорить процесс разработки.

СПИСОК ЛИТЕРАТУРЫ

1. Технологически инвариантная система проектирования топологии стандартных фрагментов МОП БИС / И. С. Зуев, А. Б. Максимов, С. Э. Миронов, Н. М. Сафьянников // Изв. вузов. «Электроника». 2003. № 3. С. 63–70.

2. Миронов С. Э., Васильев А. Ю. Технологически инвариантная САПР топологии иерархических макроблоков КМОП БИС // Изв. СПбГЭТУ «ЛЭТИ». 2013. № 1. С. 30–34.

S. E. Mironov, A. A. Baranov

Saint-Petersburg State Electrotechnical University «LETI»

T. O. Efimova

Saint-Petersburg State Polytechnical University

COMPUTER-AIDED DESIGN FACILITIES USING PARAMETERIZED CELLS FOR HIERARCHIC MACROBLOCKS VLSI

The article is devoted to the description of the shortcomings of parameterized multiaxis VLSI cells layout compaction algorithm. It provides a method for removing them developed for computer-aided design facilities of hierarchic macroblocks VLSI. Software tools for generating the specification of cells, verification and correction specifications and layout are described.

Process-tolerant layout design, algorithm of VLSI cells layout compaction, multiaxis method for layout design, verification and correction specifications and layouts of cells, parameterized layouts of cells
